

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2002年8月8日 (08.08.2002)

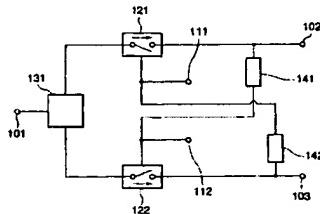
PCT

(10)国際公開番号
WO 02/061876 A1

- (51)国際特許分類⁷: H01P 1/15, H03K 17/693 (74)代理人: 鈴木 弘男 (SUZUKI,Hiroh); 〒108-0073 東京都港区三田3丁目4番3号 三田第一長岡ビル 鈴木国際特許事務所 Tokyo (JP).
- (21)国際出願番号: PCT/JP02/00647 (81)指定国(国内): CN, KR, US.
- (22)国際出願日: 2002年1月29日 (29.01.2002) (84)指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (25)国際出願の言語: 日本語 添付公開書類:
(26)国際公開の言語: 日本語 — 国際調査報告書
- (30)優先権データ:
特願2001-25558 2001年2月1日 (01.02.2001) JP
(71)出願人(米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72)発明者; および
(75)発明者/出願人(米国についてのみ): 沼田 圭市 (NUMATA,Keiichi) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(54) Title: HIGH FREQUENCY SWITCH CIRCUIT

(54)発明の名称: 高周波スイッチ回路



(57) Abstract: A high frequency switch circuit comprising a plurality of high frequency terminals (101, 102, 103) for inputting/outputting a high frequency signal, and a plurality of high frequency semiconductor switch sections (121, 122) for switching between high frequency terminals. The plurality of high frequency semiconductor switch sections are isolated from each other under DC state by a DC potential isolating section (131), and a DC potential, in reverse relation to a DC potential being applied to switching signal terminals (111, 112) arranged on the control side of each high frequency semiconductor switch section side, is applied to the both or at least one of the input side and the output side of each high frequency semiconductor switch section.

/統葉有/

WO 02/061876 A1



(57) 要約:

高周波信号を入出力する複数の高周波端子（101, 102, 103）と、これらの高周波端子間を開閉する複数の高周波半導体スイッチ部（121, 122）とを備えた高周波スイッチ回路である。複数の高周波半導体スイッチ部の各々は直流電位分離部（131）によって互いに直流状態において分離されているとともに、各高周波半導体スイッチ部の制御側に配された切り替え信号端子（111, 112）に印加される直流電位と逆の関係にある直流電位が各高周波半導体スイッチ部の入力側及び出力側の両側または少なくとも一側に印加されるように構成されている。

明細書

高周波スイッチ回路

5 技術分野：

本発明は、例えば携帯電話機等の高周波通信に用いられる、高周波スイッチ回路に関する。

背景技術：

第1図は、高周波スイッチ回路の第一従来例を示す回路図である。以下、この
10 第1図に基づいて説明する。

この第一従来例は、特開平8-139014号に開示されたS P D T回路（単極
双投：single pole double transfer）であり、高周波端子101と高周波端子1
02との間を電界効果トランジスタ1～5のドレイン・ソースを縦続接続し、高
周波端子101と高周波端子103との間を電界効果トランジスタ6～10のド
15 レイン・ソースを縦続接続した構成となっている。そして、電界効果トランジ
スタ1～10のゲート電極には抵抗素子51～60が接続され、電界効果トランジ
スタ1～5のゲート電極に繋がる抵抗素子51～55は切り替え信号端子111
に接続され、電界効果トランジスタ6～10のゲート電極に繋がる抵抗素子56
～60は切り替え信号端子112に接続されている。

20 切り替え信号端子111と切り替え信号端子112とには、相反するレベルの
電圧が入力される。切り替え信号端子111にハイレベルが入力され、切り替え
信号端子112にロウレベルが入力されると、電界効果トランジスタ1～5はオ
ン状態となり、電界効果トランジスタ6～10はオフ状態となって、高周波端子
101と高周波端子102との間が導通状態となる。一方、切り替え信号端子1
25 11にロウレベルが入力され、切り替え信号端子112にハイレベルが入力され

ると、電界効果トランジスタ 1～5 はオフ状態となり、電界効果トランジスタ 6～10 はオン状態となって、高周波端子 101 と高周波端子 103 との間が導通状態となる。

第 2 図は、高周波スイッチ回路の第二従来例を示す回路図である。以下、この
5 第 2 図に基づいて説明する。

この第二従来例は、特開平 8-213893 に開示された SPDT 回路であり、
高周波端子 101 と高周波端子 102 との間を電界効果トランジスタ 1 で接続し、
高周波端子 101 と高周波端子 103 との間を電界効果トランジスタ 2 で接続し
た構成となっている。高周波端子 102 は電界効果トランジスタ 3 のドレイン・
10 ソース間及び容量素子 71 を介して接地され、高周波端子 103 は電界効果トラ
ンジスタ 4 のドレインソース間及び容量素子 72 を介して接地されている。電界
効果トランジスタ 1～4 のゲート電極には、それぞれ抵抗素子 51～54 が接続
されている。電界効果トランジスタ 1 のゲート電極に繋がる抵抗素子 51 及び電
界効果トランジスタ 4 のゲート電極に繋がる抵抗素子 54 は切り替え信号端子 1
11 に接続され、電界効果トランジスタ 2 のゲート電極に繋がる抵抗素子 52 及
び電界効果トランジスタ 3 のゲート電極に繋がる抵抗素子 53 は切り替え信号端
子 112 に接続されている。更に、高周波端子 101～103 及び電界効果トラ
ンジスタ 3～4 のソース電極は、抵抗素子 55～59 を介して外部電源 300 に
接続されている。

20 切り替え信号端子 111 と切り替え信号端子 112 とには、相反するレベルの
電圧が入力される。高周波端子 101～103 及び電界効果トランジスタ 3～4
のソース電極は、抵抗素子 55～59 を介して外部電源 300 の電位が与えられ
ている。切り替え信号端子 111 にハイレベルが入力され、切り替え信号端子 1
12 にロウレベルが入力されると、電界効果トランジスタ 1 及び電界効果トラン
ジスタ 4 はオン状態となり、電界効果トランジスタ 2 及び電界効果トランジスタ
25

3はオフ状態となって、高周波端子101と高周波端子102との間が導通状態となる。一方、切り替え信号端子111にロウレベルが入力され、切り替え信号端子112にハイレベルが入力されると、電界効果トランジスタ1及び電界効果トランジスタ4はオフ状態となり、電界効果トランジスタ2及び電界効果トランジスタ3はオン状態となって、高周波端子101と高周波端子103との間が導通状態となる。

なお、S P D T回路は、例えば携帯電話機等に内蔵され、高周波の送受信信号の切り替えスイッチとして機能する。また、このような高周波スイッチ回路に用いられる電界効果トランジスタは、一例を述べればデプレッション型のnチャネルG a A s M E S F E Tであり、例えば0 [V] でオン、-3 [V] でオフとなる特性を有する。

しかしながら、従来の高周波スイッチ回路には次のような問題がある。

第一従来例では、高周波端子に外部から電位を与えていないため、オン側の電界効果トランジスタにおいて、その両端（ドレイン側及びソース側）の高周波端子はハイレベルとほぼ同じ電位になってしまう。そのため、ゲート・ソース間電位差が0 [V] に近くなるため、十分にオン抵抗を低減できない。すなわち、通過損失が大きくなってしまう。

第二従来例では、高周波端子に外部から電位を与えていため、与える電位V_Cによってはゲート・ソース間電位V_{g s}をプラス側に大きくすることが可能となる、したがって、オン抵抗を低減することができ、その結果通過損失を低減することができる。その一方で、n個の電界効果トランジスタを継続接続して構成される回路が扱うことのできる最大のハンドリングパワーP_{max}は、

$$P_{max} = 2 \{ n (V_C - V_L + V_T) \} 2 / Z_0$$

という式で表される。（ここで、V_Lはロウレベル、V_Tは電界効果トランジスタの閾値電圧、Z₀はスイッチ回路における評価系インピーダンスである。）

そのため、ロウレベル (VL) とVCとの差が小さくなることから、ハンドリングパワーが低下してしまう問題があった。また、ハンドリングパワーを増加させるには、縦続接続の電界効果トランジスタ数を増加させなければならない問題があった。更には、外部電源を必要としてしまうことも問題である。

5 換言すれば、従来の高周波スイッチ回路では、信号通過経路が直流状態で繋がっているため、オン側スイッチのV_{gs}をプラス側に大きくしてオン抵抗の低減を図ると、オフ側スイッチでハンドリングパワーが低下し、オフ側スイッチのV_{gs}をマイナス側に大きくしハンドリングパワーの向上を図るとオン側スイッチのオン抵抗が上昇してしまうという問題がある。

10 発明の開示：

本発明は従来技術における上記事情に鑑みてなされたものであって、その目的とするところは、低い通過損失と高いハンドリングパワーとを両立させた高周波スイッチ回路を提供することにある。

上記目的を達成するために、本発明の第1の態様によれば、高周波信号を入出力する複数の高周波端子と、これらの高周波端子間を開閉する複数の高周波半導体スイッチ部とを備えた高周波スイッチ回路であって、そこにおいて、複数の高周波半導体スイッチ部は、互いに直流状態において分離されるとともに、当該複数の高周波半導体スイッチ部の各々は、その制御側に印加される直流電位と逆の関係にある直流電位が入力側及び出力側の少なくとも一方に印加されるように構成されていることを特徴とする高周波スイッチ回路が提供される。

「高周波半導体スイッチ部」とは、電界効果トランジスタ又はバイポーラトランジスタ等の半導体スイッチ素子を中心に構成されたものであり、以下「高周波半導体スイッチ部」と略称する。「高周波半導体スイッチ部の制御側に印加される直流電位と逆の関係にある直流電位」とは、高周波半導体スイッチ部が閉となる直流電位が制御側に印加される場合は、高周波半導体スイッチ部が開となる直流

電位のことであり、高周波半導体スイッチ部が開となる直流電位が制御側に印加される場合は、高周波半導体スイッチ部が閉となる直流電位のことである。

各高周波半導体スイッチ部は、互いに直流状態において分離されている。そして、各高周波半導体スイッチ部の入力側又は出力側には、制御側に印加される直
5 流電位と逆の関係にある直流電位が印加される。ハイレベル電位が制御側に印加されると閉となる高周波半導体スイッチ部について説明する。高周波半導体スイ
チ部は、ハイレベル電位が制御側に印加されることにより閉となると、入力側又は出力側にロウレベル電位が印加される。これにより、その制御電圧が入出力電圧よりも十分に高くなるので、オン時の通過抵抗値が低減する。一方、高周波半導体スイッチ部は、ロウレベル電位が制御側に印加されることにより開となる
10 と、入力側又は出力側にハイレベル電位が印加される。これにより、その制御電圧が入力電圧よりも十分に低くなるので、オフ時のハンドリングパワーが向上する。ロウレベル電位が印加されると閉となる高周波半導体スイッチ部については、上記説明において直流電位の高低関係が逆になる。

15 本発明の第2の態様によれば、上記第1の態様における複数の高周波半導体スイッチ部は、高周波端子間にドレイン電極及びソース電極が接続された電界効果トランジスタからなり、また複数の高周波半導体スイッチ部における互いの分離は容量素子によって行なわれ、さらにゲート電極に印加される直流電位と逆の関係にある直流電位がドレイン電極及びソース電極の少なくとも一方に印加される
20 特徴とする高周波スイッチ回路が提供される。

本発明の第3の態様によれば、上記第1の態様における複数の高周波半導体スイッチ部は、高周波端子間にドレイン電極及びソース電極が直列接続された複数の電界効果トランジスタからなり、また複数の高周波半導体スイッチ部における互いの分離は容量素子によって行なわれ、さらにゲート電極に印加される直流電位と逆の関係にある直流電位が複数の電界効果トランジスタの両端に位置するド
25

レイン電極及び前記ソース電極の少なくとも一方に印加されることを特徴とする高周波スイッチ回路が提供される。

本発明の第4の態様によれば、高周波信号を入出力する第一乃至第三の高周波端子と、第三の高周波端子と第一の高周波端子との間を開閉する第一の高周波半導体スイッチ部と、第三の高周波端子と第二の高周波端子との間を開閉する第二の高周波半導体スイッチ部と、第一の高周波半導体スイッチ部の開閉動作を制御する第一の切り替え信号端子と、第二の高周波半導体スイッチ部の開閉動作を制御する第二の切り替え信号端子と、第三の高周波端子と第一及び第二の高周波半導体スイッチ部との間に接続されるとともに第一の高周波半導体スイッチ部と第二の高周波半導体スイッチ部とを直流状態において分離する直流電位分離部と、第二の切り替え信号端子と第一の高周波端子との間に接続されるとともに第二の切り替え信号端子に印加された直流電位を第一の高周波端子に与える第一の電位伝達回路と、第一の切り替え信号端子と第二の高周波端子との間に接続されるとともに第一の切り替え信号端子に印加された直流電位を第二の高周波端子に与える第二の電位伝達回路とを備えた高周波スイッチ回路が提供される。

本発明の第5の態様によれば、高周波信号を入出力する第一乃至第四の高周波端子と、第一の高周波端子と第二の高周波端子との間を開閉する第一の高周波半導体スイッチ部と、第二の高周波端子と第三の高周波端子との間を開閉する第二の高周波半導体スイッチ部と、第三の高周波端子と第四の高周波端子との間を開閉する第三の高周波半導体スイッチ部と、第四の高周波端子と第一の高周波端子との間を開閉する第四の高周波半導体スイッチ部と、第一及び第三の高周波半導体スイッチ部の開閉動作を制御する第一の切り替え信号端子と、第二及び第四の高周波半導体スイッチ部の開閉動作を制御する第二の切り替え信号端子と、第一の高周波端子と第四及び第一の高周波半導体スイッチ部との間に接続されるとともに第四の高周波半導体スイッチ部と第一の高周波半導体スイッチ部とを直流状

態において分離する第一の直流電位分離部と、第二の高周波端子と第一及び第二の高周波半導体スイッチ部との間に接続されるとともに第一の高周波半導体スイッチ部と第二の高周波半導体スイッチ部とを直流状態において分離する第二の直流電位分離部と、第三の高周波端子と第二及び第三の高周波半導体スイッチ部との間に接続されるとともに第二の高周波半導体スイッチ部と第三の高周波半導体スイッチ部とを直流状態において分離する第三の直流電位分離部と、第四の高周波端子と第三及び第四の高周波半導体スイッチ部との間に接続されるとともに第三の高周波半導体スイッチ部と第四の高周波半導体スイッチ部とを直流状態において分離する第四の直流電位分離部と、第二の切り替え信号端子と第一の高周波半導体スイッチ部の入力側及び出力側における少なくとも一方との間に接続されるとともに第二の切り替え信号端子に印加された直流電位を当該入力側及び出力側の少なくとも一方に与える第一の電位伝達回路と、第一の切り替え信号端子と第二の高周波半導体スイッチ部の入力側及び出力側における少なくとも一方との間に接続されるとともに第一の切り替え信号端子に印加された直流電位を当該入力側及び出力側の少なくとも一方に与える第二の電位伝達回路と、第二の切り替え信号端子と第三の高周波半導体スイッチ部の入力側及び出力側における少なくとも一方との間に接続されるとともに第二の切り替え信号端子に印加された直流電位を当該入力側及び出力側の少なくとも一方に与える第三の電位伝達回路と、第一の切り替え信号端子と第四の高周波半導体スイッチ部の入力側及び出力側における少なくとも一方との間に接続されるとともに第一の切り替え信号端子に印加された直流電位を当該入力側及び出力側の少なくとも一方に与える第四の電位伝達回路とを備えた高周波スイッチ回路が提供される。

各電位伝達回路は、高周波半導体スイッチ部の入力側及び出力側の両方に接続されれば二個からなり、入力側及び出力側のどちらか一方に接続されれば一個からなる。

本発明の第6の態様によれば、上記第4乃至第5の態様における直流電位分離部は、当該直流電位分離部が接続された高周波端子と当該直流電位分離部が接続された一方の高周波半導体スイッチ部との間、及び当該直流電位分離部が接続された高周波端子と当該直流電位分離部が接続された他方の高周波半導体スイッチ部との間、の少なくとも一方に接続された容量素子からなる。
5

本発明の第7の態様によれば、上記第4乃至第6の態様における直流電位分離部は、当該直流電位分離部が接続された高周波端子と当該直流電位分離部が接続された一方の高周波半導体スイッチ部との間に、ドレイン電極及びソース電極が接続された電界効果トランジスタと、当該直流電位分離部が接続された高周波端子と当該直流電位分離部が接続された他方の高周波半導体スイッチ部との間に、
10 ドレイン電極及びソース電極が接続された電界効果トランジスタと、各電界効果トランジスタのゲート電極と切り替え信号端子との間に接続された抵抗素子とを備えている。

本発明の第8の態様によれば、上記第4乃至第6の態様における直流電位分離部は、当該直流電位分離部が接続された高周波端子と当該直流電位分離部が接続された一方の高周波半導体スイッチ部との間に、ドレイン電極及びソース電極が接続された電界効果トランジスタと、当該直流電位分離部が接続された高周波端子と当該直流電位分離部が接続された他方の高周波半導体スイッチ部との間に、
15 ドレイン電極及びソース電極が接続された電界効果トランジスタと、各電界効果トランジスタのゲート電極と切り替え信号端子との間に接続された抵抗素子と、各電界効果トランジスタのドレイン電極とソース電極との間に接続された抵抗素子とを備えている。
20

本発明の第9の態様によれば、上記第4乃至第8の態様における高周波半導体スイッチ部は、当該高周波半導体スイッチ部によって開閉される高周波端子間に
25 ドレイン電極及びソース電極が接続された電界効果トランジスタと、この電界効

果トランジスタのゲート電極と当該高周波半導体スイッチ部を制御する切り替え信号端子との間に接続された抵抗素子と、当該ドレン電極と前記ソース電極との間に接続された抵抗素子とを備えている。

本発明の第10の態様によれば、上記第4乃至第8の態様における高周波半導体スイッチ部は、当該高周波半導体スイッチ部によって開閉される高周波端子間にドレン電極及びソース電極が直列接続された複数の電界効果トランジスタと、これらの電界効果トランジスタのゲート電極と当該高周波半導体スイッチ部を制御する切り替え信号端子との間にそれぞれ接続された複数の抵抗素子と、当該ドレン電極と前記ソース電極との間にそれぞれ接続された複数の抵抗素子とを備えている。

本発明の第11の態様によれば、上記第4乃至第10の態様における電位伝達回路は、抵抗素子からなる。

本発明の第12の態様によれば、上記第4乃至第10の態様における電位伝達回路は、直列接続された抵抗素子とインダクタ素子とからなる。

本発明の第13の態様によれば、上記第1乃至第12の態様における高周波スイッチ回路は、一つの半導体チップ内に集積化されたものである。

以上の各態様を換言すると、本発明は、信号が通過する経路の高周波半導体スイッチ部（オン側）と、信号を遮断する経路の高周波半導体スイッチ部（オフ側）との直流状態における電位を分離し、オン側ではゲート・ソース間電位をプラスに大きくし、オフ側ではゲート・ソース間電位をマイナスに大きくする手段を有する。信号が通過する経路の高周波半導体スイッチ部（オン側）と、信号を遮断する経路の高周波半導体スイッチ部（オフ側）とが直流状態において分離されることにより、オン側では切り替え信号端子電圧が高周波半導体スイッチ部の入力側及び出力側の電圧よりも高く、しかもその差が大きくなる。その結果、オン時の通過抵抗値が低減するので、通過損失も低減する。一方、オフ側では切り替え

信号端子電圧が入力端子及び出力端子の電圧よりも低く、しかもその差が大きくなる。したがって、オフ時のハンドリングパワーが向上する。更に、切り替え信号電圧を用いて直流電位を与えていため、外部電源が不要となる。要約すると、信号の通過経路を直流状態において分離し、切り替え信号の電圧を利用することで、
5 オン側スイッチのV_{g s}をプラス側に大きく、オフ側スイッチのV_{g s}をマイナス側に大きくすることを可能とした。

本発明による高周波スイッチ回路によれば、以下の効果を奏する。

なお、以下の記述では、切り替え信号端子に高い電位を印加した場合に閉となり、低い電位を印加した場合に開となる高周波半導体スイッチ部について、
10 切り替え信号端子→制御端子、切り替え信号端子に印加する電圧→制御電圧、高周波半導体スイッチ部の入力側及び出力側の電圧→入出力電圧、閉→オン、開→オフと言
い換えて説明する。

第一の効果は、高周波信号が通過する経路の高周波半導体スイッチ部（オン側）では、その制御電圧が入出力電圧よりも十分に高くなるので、オン時の通過抵抗
15 値が低減し、その結果通過損失を低減できる。その理由は、各高周波半導体スイッチ部は互いに直流状態において分離され、かつ当該高周波半導体スイッチ部（オン側）の入力側又は出力側は、電位伝達回路を介して他方の高周波半導体スイッ
チ部（オフ側）の制御端子に接続されているので、その制御端子に印加されてい
る低い電位が伝達されるからである。

第二の効果は、高周波信号を遮断する経路の高周波半導体スイッチ部（オフ側）では、その制御電圧が入力電圧よりも十分に低くなるので、オフ時のハンドリン
グパワーを向上できる。その理由は、各高周波半導体スイッチ部は互いに直流状
態において分離され、かつ当該高周波半導体スイッチ部（オフ側）の入力側又は
出力側は、電位伝達回路を介して他方の高周波半導体スイッチ部（オン側）の制
25 御端子に接続されているので、その制御端子に印加されている高い電位が伝達さ

れるためである。

つまり、従来の回路構成では、この二つの効果を両立させることができない。これに対し、本発明では、高周波半導体スイッチ部を直流状態において分離する等により、この二つの効果を両立させることができる。なお、切り替え信号端子に高い電位を印加した場合に開となり、低い電位を印加した場合に閉となる高周波半導体スイッチ部については、上記説明において電圧の高低関係が逆になる。

上記ならびに他の本発明の目的、態様、そして利点は、本発明の原理に合致する好適な具体例が実施態様として示されている以下の詳細な記述および添付の図面に関連して説明されることにより、当該技術の熟達者によって明らかになるであろう。

図面の簡単な説明：

- 第1図は、高周波スイッチ回路の第一従来例を示す回路図、
- 第2図は、高周波スイッチ回路の第二従来例を示す回路図、
- 15 第3図は、本発明に係る高周波スイッチ回路の第一実施形態を示す回路図、
- 第4A図乃至第4E図は、それぞれ第一実施形態の高周波スイッチ回路における直流電位分離部の第1乃至第5の具体例を示す回路図、
- 第5A図および第5B図は、それぞれ第一実施形態の高周波スイッチ回路における高周波半導体スイッチ部の具体例を示す回路図、
- 20 第6A図および第6B図は、それぞれ第一実施形態の高周波スイッチ回路における電位伝達部の第1および第2の具体例を示す回路図、
- 第7図は本発明に係る高周波スイッチ回路の第二実施形態を示す回路図、
- 第8図は本発明に係る高周波スイッチ回路の第三実施形態を示す回路図、
- 第9図は本発明に係る高周波スイッチ回路の第四実施形態を示す回路図、
- 25 第10A図乃至第10D図は、それぞれ第四実施形態の高周波スイッチ回路に

おける第1から第4までの直流電位分離部の各々の第一例を示す回路図、

第11A図乃至第11D図は、それぞれ第四実施形態の高周波スイッチ回路における第1から第4までの直流電位分離部の各々の第二例を示す回路図、

5 第12A図乃至第12D図は、それぞれ第四実施形態の高周波スイッチ回路における第1から第4までの直流電位分離部の各々の第三例を示す回路図、

第13A図乃至第13D図は、それぞれ第四実施形態の高周波スイッチ回路における第1から第4までの直流電位分離部の各々の第四例を示す回路図、

第14A図乃至第14D図は、それぞれ第四実施形態の高周波スイッチ回路における第1から第4までの直流電位分離部の各々の第五例を示す回路図、

10 第15図は、本発明に係る高周波スイッチ回路の第五実施形態を示す回路図、

第16図は、本発明に係る高周波スイッチ回路の第六実施形態を示す回路図、

第17図は、本発明に係る高周波スイッチ回路の第七実施形態を示す回路図、

そして

15 第18図は、本発明に係る高周波スイッチ回路の第八実施形態を示す回路図である。

発明を実施するための最良の形態：

第3図は、本発明に係る高周波スイッチ回路の第一実施形態を示す回路図である。以下、この第3図に基づいて説明する。

本第一実施形態の高周波スイッチ回路は、高周波信号を入出力する高周波端子
20 101, 102, 103と、高周波端子101と高周波端子102との間を開閉する高周波半導体スイッチ部121と、高周波端子101と高周波端子103との間を開閉する高周波半導体スイッチ部122と、高周波半導体スイッチ部121の開閉動作を制御する切り替え信号端子111と、高周波半導体スイッチ部122の開閉動作を制御する切り替え信号端子112と、高周波端子101と高周
25 波半導体スイッチ部121, 122との間に接続されるとともに高周波半導体ス

イッチ部 121 と高周波半導体スイッチ部 122 とを直流状態において分離する直流電位分離部 131 と、切り替え信号端子 112 と高周波端子 102との間に接続されるとともに切り替え信号端子 112 に印加された直流電位を高周波端子 102 に与える電位伝達回路 141 と、切り替え信号端子 111 と高周波端子 103との間に接続されるとともに切り替え信号端子 111 に印加された直流電位を高周波端子 103 に与える電位伝達回路 142 とを備えている。

第3図において、高周波半導体スイッチ部 121, 122 のブロック内に矢印を付記してある。この矢印の基側が高周波信号の入力側であり、先側が高周波信号の出力側である。

本第一実施形態の高周波スイッチ回路では、高周波端子 102 に高周波半導体スイッチ部 121 の出力側が接続され、高周波端子 103 に高周波半導体スイッチ部 122 の出力側が接続されている。高周波半導体スイッチ部 121 と高周波半導体スイッチ部 122 とは、互いの入力側及び出力側の直流電位が同じにならないように、入力側が直流電位分離部 131 を介して高周波端子 101 に接続されている。高周波半導体スイッチ部 121 の制御側は切り替え信号端子 111 に接続され、高周波半導体スイッチ部 122 の制御側は切り替え信号端子 112 に接続されている。また、切り替え信号端子 111 に印加される電圧を高周波端子 103 に伝達するために切り替え信号端子 111 に電位伝達部 142 が接続され、切り替え信号端子 112 に印加される電圧を高周波端子 102 に伝達するために、切り替え信号端子 112 に電位伝達部 141 が接続されている。

第4A図乃至第4C図は、第一実施形態の高周波スイッチ回路における直流電位分離部の第一例乃至第三例を示す回路図である。以下、第3図および第4A図乃至第4C図に基づいて説明する。

第4A図に示すように、第一例の直流電位分離部 131₁ は、高周波端子 101 と高周波半導体スイッチ部 121 の入力側との間に接続された容量素子 41 と、

高周波端子 101 と高周波半導体スイッチ部 122 の入力側との間に接続された容量素子 42 とからなる。第 4B 図に示すように、第二例の直流電位分離部 131₂ は、高周波端子 101 と高周波半導体スイッチ部 122 の入力側との間に接続された容量素子 42 からなる。第 4C 図に示すように、第三例の直流電位分離部 131₃ は、高周波端子 101 と高周波半導体スイッチ部 121 の入力側との間に接続された容量素子 41 からなる。

第 4D 図および第 4E 図は、第一実施形態の高周波スイッチ回路における直流電位分離部の第四例及び第五例を示す回路図である。以下、第 3 図および第 4D 図ならびに第 4E 図に基づいて説明する。

10 第 4D 図に示すように、第四例の直流電位分離部 131₄ は、高周波端子 101 と高周波半導体スイッチ部 121 との間にドレイン電極及びソース電極が接続された電界効果トランジスタ 1 と、高周波端子 101 と高周波半導体スイッチ部 122 との間にドレイン電極及びソース電極が接続された電界効果トランジスタ 2 と、電界効果トランジスタ 1 のゲート電極と切り替え信号端子 111 との間に接続された抵抗素子 51 と、電界効果トランジスタ 2 のゲート電極と切り替え信号端子 112 との間に接続された抵抗素子 52 とを備えている。

第 4E 図に示すように、第五例の直流電位分離部 131₅ は、上記第四例の直流電位分離部の構成に加え、電界効果トランジスタ 1 のドレイン電極とソース電極との間に接続された抵抗素子 53 と、電界効果トランジスタ 2 のドレイン電極とソース電極との間に接続された抵抗素子 54 とを備えている。抵抗素子 53, 54 は、例えば、数 10 kΩ 以上の高い抵抗値を有する。

第 5A 図および第 5B 図は、第一実施形態の高周波スイッチ回路における高周波半導体スイッチ部の第一例及び第二例を示す回路図である。以下、第 3 図および第 5A 図ならびに第 5B 図に基づいて説明する。

25 第 5A 図に示すように、第一例の高周波半導体スイッチ部 121₁ は、高周波

端子 101 と高周波端子 102 との間にドレイン電極及びソース電極が接続された電界効果トランジスタ 1 と、電界効果トランジスタ 1 のゲート電極と切り替え信号端子 111 との間に接続された抵抗素子 52 と、電界効果トランジスタ 1 のドレイン電極とソース電極との間に接続された抵抗素子 51 を備えている。抵抗素子 51 は、電界効果トランジスタ 1 のドレイン・ソース間の電位を揃えるために設けられ、例えば、数 $k\Omega$ 以上の抵抗値を有する。

第 5 B 図に示すように、第二例の高周波半導体スイッチ部 121₂ は、高周波端子 101 と高周波端子 102 との間にドレイン電極及びソース電極が直列接続された電界効果トランジスタ 1, 2, 3 と、電界効果トランジスタ 1, 2, 3 のゲート電極と切り替え信号端子 111 との間にそれぞれ接続された抵抗素子 54, 55, 56 と、電界効果トランジスタ 1, 2, 3 のドレイン電極とソース電極との間にそれぞれ接続された抵抗素子 51, 52, 53 を備えている。抵抗素子 51～53 は、それぞれ電界効果トランジスタ 1～3 のドレイン・ソース間の電位を揃えるために設けられ、例えば、数 $k\Omega$ 以上の抵抗値を有する。

なお、第 3 図における高周波半導体スイッチ部 122 も、第 5 A 図および第 5 B 図における高周波半導体スイッチ部 121₁ および 121₂ の構成に準ずる。また、電界効果トランジスタは、第 5 A 図および第 5 B 図において単数又は三つの接続であるが、二つ又は四つ以上の接続としてもよい。

第 6 A 図および第 6 B 図は、第一実施形態の高周波スイッチ回路における電位伝達部の第一例及び第二例を示す回路図である。以下、第 3 図および第 6 A 図ならびに第 6 B 図に基づいて説明する。

第 6 A 図に示すように、第一例の電位伝達回路 141₁ は抵抗素子 51 からなる。抵抗素子 51 は、例えば、数 $10 k\Omega$ 以上の抵抗値を有する。第 6 B 図に示すように、第二例の電位伝達回路 141₂ は、直列接続された抵抗素子 51 とインダクタ素子 91 とからなる。

なお、第3図における電位伝達回路142も、第6A図および第6B図における電位伝達回路141₁および141₂の構成に準ずる。また、電位伝達回路141は、第3図において高周波半導体スイッチ部121の出力側にのみ接続されているが、高周波半導体スイッチ部121の入力側のみ、又は高周波半導体スイッチ部121の入力側及び出力側の両方に接続してもよい。同様に、電位伝達回路142は、第3図において高周波半導体スイッチ部122の出力側にのみ接続されているが、高周波半導体スイッチ部122の入力側のみ、又は高周波半導体スイッチ部122の入力側及び出力側の両方に接続してもよい。

次に、第一実施形態の高周波スイッチ回路の動作について、第3図を参照して説明する。

切り替え信号端子111にハイレベルが入力され、切り替え信号端子112にロウレベルが入力されたとする。このとき、高周波半導体スイッチ部121の入力側及び出力側は、電位伝達部141を介して切り替え信号端子112に繋がっているため、ロウレベルに近づくよう電位が下がる。そのため、高周波半導体スイッチ部121の制御側の電位は、入力側及び出力側の電位より十分に高くなる。これにより、高周波半導体スイッチ部121のオン抵抗が十分に低くなるので、通過損失が低減される。

一方、高周波半導体スイッチ部122の入力側及び出力側は、直流電位分離部131によって、高周波半導体スイッチ部121の入力側及び出力側とは直流状態において切り離されている。そのため、高周波半導体スイッチ部122の入力側及び出力側は、高周波半導体スイッチ部121の入力側及び出力側の電位と異なる値を探ることができる。すなわち、高周波半導体スイッチ部122の入力側及び出力側は、電位伝達部142を介して切り替え信号端子111に繋がっているため、ハイレベルに近づくよう電位が上がる。そのため、高周波半導体スイッチ部122の制御側の電位は、高周波半導体スイッチ部122の入力側及び出力

側の電位よりも十分に低くなる。従って、高周波半導体スイッチ部122はオフ状態となる。また、高周波半導体スイッチ部122の入力側及び出力側は、高周波半導体スイッチ部121の入力側及び出力側よりも高い電位になる。

このとき、高周波半導体スイッチ部122の入力側及び出力側の電位をVn、

- 5 ロウレベルをVL、高周波半導体スイッチ部122を構成する電界効果トランジスタの閾値電圧をVTとすると、このオフ状態を維持できる最大の電力Pmaxは、

$$P_{\max} = 2 \{ n (V_n - V_L + V_T) \}^2 / Z_0$$

- 10 という式で表される。(ここで、nは、高周波半導体スイッチ部122を構成する電界効果トランジスタの継続接続段数、Z0はスイッチ回路における評価系インピーダンスである。)

- 15 本実施形態では、Vnを大きく採ることができるので、上式から明らかなように、高周波半導体スイッチ部121、122間が直流状態において分離されないときに比べ、Pmaxが向上する。したがって、通過損失の低減とハンドリングパワーの向上とが同時に図られる。

第7図は、本発明に係る高周波スイッチ回路の第二実施形態を示す回路図である。以下、この第7図に基づいて説明する。

- 20 本第二実施形態の高周波スイッチ回路は、直流電位分離部131、132が第4D図に示す構成となっており、高周波半導体スイッチ部121、122が第5B図に示す構成となっており、電位伝達回路141、142が第6A図に示す構成となっている。本実施形態の高周波スイッチ回路も、上記第一実施形態の高周波スイッチ回路と同様の作用及び効果を奏する。

第8図は、本発明に係る高周波スイッチ回路の第三実施形態を示す回路図である。以下、この第8図に基づいて説明する。

- 25 本第三実施形態の高周波スイッチ回路は、直流電位分離部131、132が第

4 E図に示す構成となっており、高周波半導体スイッチ部121, 122が第5B図に示す構成となっており、電位伝達回路141, 142が第6A図に示す構成となっている。本実施形態の高周波スイッチ回路も、上記第一実施形態の高周波スイッチ回路と同様の作用及び効果を奏する。

5 第9図は、本発明に係る高周波スイッチ回路の第四実施形態を示す回路図である。以下、この第9図に基づいて説明する。

本第四実施形態の高周波スイッチ回路は、高周波信号を入出力する高周波端子101～104と、高周波端子101と高周波端子102との間を開閉する高周波スイッチ部121と、高周波端子102と高周波端子103との間を開閉する
10 高周波スイッチ部122と、高周波端子103と高周波端子104との間を開閉する高周波半導体スイッチ部123と、高周波端子104と高周波端子101との間を開閉する高周波半導体スイッチ部124と、高周波半導体スイッチ部121, 123の開閉動作を制御する切り替え信号端子111と、高周波半導体スイッチ部122, 124の開閉動作を制御する切り替え信号端子112と、高周波端子131と高周波半導体スイッチ部124, 121との間に接続されるとともに高周波半導体スイッチ部124と高周波スイッチ部121とを直流状態において分離する直流電位分離部131と、高周波端子102と高周波半導体スイッチ部121, 122との間に接続されるとともに高周波半導体スイッチ部121と高周波半導体スイッチ部122とを直流状態において分離する直流電位分離部1
15 32と、高周波端子103と高周波半導体スイッチ部122, 123との間に接続されるとともに高周波半導体スイッチ部122と高周波半導体スイッチ部123とを直流状態において分離する直流電位分離部133と、高周波端子104と高周波半導体スイッチ部123, 124との間に接続されるとともに高周波半導体スイッチ部123と高周波半導体スイッチ部124とを直流状態において分離
20 する直流電位分離部134と、切り替え信号端子112と高周波半導体スイッチ
25

- 部121の入力側との間に接続されるとともに切り替え信号端子112に印加された直流電位を当該入力側に与える電位伝達回路141と、切り替え信号端子112と高周波半導体スイッチ部121の出力側との間に接続されるとともに切り替え信号端子112に印加された直流電位を当該出力側に与える電位伝達回路142と、切り替え信号端子111と高周波半導体スイッチ部122の入力側との間に接続されるとともに切り替え信号端子111に印加された直流電位を当該入力側に与える電位伝達回路143と、切り替え信号端子111と高周波半導体スイッチ部122の出力側との間に接続されるとともに切り替え信号端子111に印加された直流電位を当該出力側に与える電位伝達回路144と、切り替え信号端子112と高周波半導体スイッチ部123の入力側との間に接続されるとともに切り替え信号端子112に印加された直流電位を当該入力側に与える電位伝達回路145と、切り替え信号端子112と高周波半導体スイッチ部123の出力側との間に接続されるとともに切り替え信号端子112に印加された直流電位を当該出力側に与える電位伝達回路146と、切り替え信号端子111と高周波半導体スイッチ部124の入力側との間に接続されるとともに切り替え信号端子111に印加された直流電位を当該入力側に与える電位伝達回路147と、切り替え信号端子111と高周波半導体スイッチ部124の出力側との間に接続されるとともに切り替え信号端子111に印加された直流電位を当該出力側に与える電位伝達回路148とを備えている。
- 第9図において、高周波半導体スイッチ部121～124のブロック内に矢印を付記してある。この矢印の基側が高周波信号の入力側であり、先側が高周波信号の出力側である。
- 本第四実施形態の高周波スイッチ回路において、高周波端子101は直流電位分離部131に接続され、高周波端子102は直流電位分離部132に接続され、高周波端子103は直流電位分離部133に接続され、高周波端子104は直流

- 電位分離部 134 に接続されている。これらに接続される高周波半導体スイッチ部 121～124 は、高周波半導体スイッチ部 121 の入力側が直流電位分離部 131 に、出力側が直流電位分離部 132 に接続され、高周波半導体スイッチ部 122 の入力側が直流電位分離部 132 に、出力側が直流電位分離部 133 に接続され、高周波スイッチ部 123 の入力側が直流電位分離部 133 に、出力側が直流電位分離部 134 に接続され、高周波半導体スイッチ部 124 の入力側が直流電位分離部 134 に、出力側が直流電位分離部 131 に接続されている。高周波スイッチ 121, 123 の制御側は切り替え信号端子 111 に接続され、高周波スイッチ 122, 124 の制御側は切り替え信号端子 112 に接続されている。
- 10 切り替え信号端子 111 に入力される制御電圧を高周波半導体スイッチ部 122, 124 とに伝達するために、電位伝達部 143 が高周波半導体スイッチ部 122 の入力側に、電位伝達部 144 が高周波半導体スイッチ部 122 の出力側に、電位伝達部 147 が高周波半導体スイッチ部 124 の入力側に、電位伝達部 148 が高周波半導体スイッチ部 124 の出力側に接続されている。切り替え信号端子 112 に入力される制御電圧を高周波半導体スイッチ部 121, 123 に伝達するために、電位伝達部 141 が高周波半導体スイッチ部 121 の入力側に、電位伝達部 142 が高周波半導体スイッチ部 121 の出力側に、電位伝達部 145 が高周波半導体スイッチ部 123 の入力側に、電位伝達部 146 が高周波半導体スイッチ部 123 の出力側に接続されている。
- 15 第 10A 図乃至第 10D 図は、第四実施形態の高周波スイッチ回路における直流電位分離部の第一例を示す回路図である。以下、第 9 図および第 10A 図乃至第 10D 図に基づいて説明する。
- 20 第 10A 図乃至第 10D 図に示すように、直流電位分離部 131a は、高周波端子 101 と高周波半導体スイッチ部 124 との間に接続された容量素子 48、
- 25 及び高周波端子 101 と高周波半導体スイッチ部 121 との間に接続された容量

素子41からなる。直流電位分離部132aは、高周波端子102と高周波半導体スイッチ部121との間に接続された容量素子42、及び高周波端子102と高周波半導体スイッチ部122との間に接続された容量素子43からなる。直流電位分離部133aは、高周波端子103と高周波半導体スイッチ部122との間に接続された容量素子44、及び高周波端子101と高周波半導体スイッチ部123との間に接続された容量素子45からなる。直流電位分離部134aは、高周波端子104と高周波半導体スイッチ部123との間に接続された容量素子46、及び高周波端子104と高周波半導体スイッチ部124との間に接続された容量素子47からなる。

10 第11A図乃至第11D図は、第四実施形態の高周波スイッチ回路における直流電位分離部の第二例を示す回路図である。以下、第9図および第11A図乃至第11D図に基づいて説明する。

第11A図乃至第11D図に示すように、直流電位分離部131bは、高周波端子101と高周波半導体スイッチ部121との間に接続された容量素子41からなる。直流電位分離部132bは、高周波端子102と高周波半導体スイッチ部121との間に接続された容量素子42からなる。直流電位分離部133bは、高周波端子101と高周波半導体スイッチ部123との間に接続された容量素子45からなる。直流電位分離部134bは、高周波端子104と高周波半導体スイッチ部123との間に接続された容量素子46からなる。

20 第12A図乃至第12D図は、第四実施形態の高周波スイッチ回路における直流電位分離部の第三例を示す回路図である。以下、第9図および第12A図乃至第12D図に基づいて説明する。

第12A図乃至第12D図に示すように、直流電位分離部131cは、高周波端子101と高周波半導体スイッチ部121との間に接続された容量素子41からなる。直流電位分離部132cは、高周波端子102と高周波半導体スイッチ

部122との間に接続された容量素子43からなる。直流電位分離部133cは、高周波端子101と高周波半導体スイッチ部123との間に接続された容量素子45からなる。直流電位分離部134cは、高周波端子104と高周波半導体スイッチ部124との間に接続された容量素子47からなる。

5 第13A図乃至第13D図は、第四実施形態の高周波スイッチ回路における直流電位分離部の第四例を示す回路図である。以下、第9図および第13A図乃至第13D図に基づいて説明する。

第13A図乃至第13D図に示すように、直流電位分離部131dは、高周波端子101と高周波半導体スイッチ部121との間に接続された容量素子41からなる。直流電位分離部132dは、高周波端子102と高周波半導体スイッチ部121との間に接続された容量素子42からなる。直流電位分離部133dは、高周波端子103と高周波半導体スイッチ部122との間に接続された容量素子44からなる。直流電位分離部134dは、高周波端子104と高周波半導体スイッチ部123との間に接続された容量素子46からなる。

15 第14A図乃至第14D図は、第四実施形態の高周波スイッチ回路における直流電位分離部の第五例を示す回路図である。以下、第9図および第14A図乃至第14D図に基づいて説明する。

第14A図乃至第14D図に示すように、直流電位分離部131eは、高周波端子101と高周波半導体スイッチ部121との間に接続された容量素子41からなる。直流電位分離部132eは、高周波端子102と高周波半導体スイッチ部122との間に接続された容量素子43からなる。直流電位分離部133eは、高周波端子103と高周波半導体スイッチ部122との間に接続された容量素子44からなる。直流電位分離部134eは、高周波端子104と高周波半導体スイッチ部123との間に接続された容量素子46からなる。

25 また、第四実施形態の高周波スイッチ回路における直流電位分離部131～1

3 4は、第4 D図および第4 E図に示す構成としてもよい。第四実施形態の高周波スイッチ回路における高周波半導体スイッチ部1 2 1～1 2 4は、第5 A図および第5 B図に示す構成としてもよい。第四実施形態の高周波スイッチ回路における電位分離部1 4 1～1 4 8は、第6 A図および第6 B図に示す構成としてもよい。本実施形態の高周波スイッチ回路も、上記第一実施形態の高周波スイッチ回路と同様の作用及び効果を奏する。

第15図は、本発明に係る高周波スイッチ回路の第五実施形態を示す回路図である。以下、この第15図に基づいて説明する。

本第五実施形態の高周波スイッチ回路は、切り替え信号端子1 1 2と高周波スイッチ部1 2 1の入力側との間に接続されるとともに切り替え信号端子1 1 2に印加された直流電位を当該入力側に与える電位伝達回路1 4 1と、切り替え信号端子1 1 1と高周波半導体スイッチ部1 2 2の入力側との間に接続されるとともに切り替え信号端子1 1 1に印加された直流電位を当該入力側に与える電位伝達回路1 4 2と、切り替え信号端子1 1 2と高周波半導体スイッチ部1 2 3の入力側との間に接続されるとともに切り替え信号端子1 1 2に印加された直流電位を当該入力側に与える電位伝達回路1 4 5 3、切り替え信号端子1 1 1と高周波半導体スイッチ部1 2 4の入力側との間に接続されるとともに切り替え信号端子1 1 1に印加された直流電位を当該入力側に与える電位伝達回路1 4 3とを備えた点で、上記第四実施形態と異なる。

また、第五実施形態の高周波スイッチ回路における直流電位分離部1 3 1～1 3 4は、第10 A図乃至第14 D図および第4 D図ならびに第4 E図に示す構成としてもよい。第五実施形態の高周波スイッチ回路における高周波半導体スイッチ部1 2 1～1 2 4は、第5 A図および第5 B図に示す構成としてもよい。第五実施形態の高周波スイッチ回路における電位分離部1 4 1～1 4 4は、第6 A図および第6 B図に示す構成としてもよい。本実施形態の高周波スイッチ回路も、

上記第四実施形態の高周波スイッチ回路と同様の作用及び効果を奏する。

第16図は、本発明に係る高周波スイッチ回路の第六実施形態を示す回路図である。以下、この第16図に基づいて説明する。

本第六実施形態の高周波スイッチ回路は、切り替え信号端子112と高周波スイッチ部121の入力側との間に接続されるとともに切り替え信号端子112に印加された直流電位を当該入力側に与える電位伝達回路141と、切り替え信号端子111と高周波半導体スイッチ部122の入力側との間に接続されるとともに切り替え信号端子111に印加された直流電位を当該入力側に与える電位伝達回路142と、切り替え信号端子112と高周波半導体スイッチ部123の出力側との間に接続されるとともに切り替え信号端子112に印加された直流電位を当該出力側に与える電位伝達回路143と、切り替え信号端子111と高周波半導体スイッチ部124の出力側との間に接続されるとともに切り替え信号端子111に印加された直流電位を当該出力側に与える電位伝達回路148とを備えた点で、上記第四実施形態と異なる。

また、第六実施形態の高周波スイッチ回路における直流電位分離部131～134は、第10A図乃至第14D図および第4D図ならびに第4E図に示す構成としてもよい。第六実施形態の高周波スイッチ回路における高周波半導体スイッチ部121～124は、第5A図および第5B図に示す構成としてもよい。第六実施形態の高周波スイッチ回路における電位分離部141～144は、第6A図および第6B図に示す構成としてもよい。本実施形態の高周波スイッチ回路も、上記第四実施形態の高周波スイッチ回路と同様の作用及び効果を奏する。

第17図は、本発明に係る高周波スイッチ回路の第七実施形態を示す回路図である。以下、この第17図に基づいて説明する。

本第七実施形態の高周波スイッチ回路は、直流電位分離部131～134が第4D図に示す構成となっており、高周波半導体スイッチ部121～124が第5

B図に示す構成となっており、電位伝達回路141～144が第6A図に示す構成となっている。本実施形態の高周波スイッチ回路も、上記第四実施形態の高周波スイッチ回路と同様の作用及び効果を奏する。

第18図は、本発明に係る高周波スイッチ回路の第八実施形態を示す回路図である。以下、この第18図に基づいて説明する。

本第八実施形態の高周波スイッチ回路は、直流電位分離部131～134が第4E図に示す構成となっており、高周波半導体スイッチ部121～124が第5B図に示す構成となっており、電位伝達回路141～144が第6A図に示す構成となっている。本実施形態の高周波スイッチ回路も、上記第四実施形態の高周波スイッチ回路と同様の作用及び効果を奏する。

請求の範囲

1. 高周波信号を入／出力する複数の高周波端子と、これらの高周波端子間を連結する配線に設けられた複数の高周波半導体スイッチ部とを備えた高周波スイッチ回路であって、そこにおいて、前記複数の高周波半導体スイッチ部は、互いに直流状態において分離されており、また前記複数の高周波半導体スイッチ部の各々は、制御側に印加される直流電位と逆の関係にある直流電位が入力側及び出力側の少なくとも一方に印加されるように構成されていることを特徴とする高周波スイッチ回路。
10 2. 請求項1に記載の高周波スイッチ回路であって、そこにおいて、前記複数の高周波半導体スイッチ部の各々は、前記高周波端子間にドレイン電極及びソース電極が接続された電界効果トランジスタからなり、また前記複数の高周波半導体スイッチ部における前記互いの分離はの容量素子によってなされ、さらにゲート電極に印加される直流電位と逆の関係にある直流電位が前記ドレイン電極及び前記ソース電極の少なくとも一方に印加されることを特徴とする高周波スイッチ回路。
15 3. 請求項1に記載の高周波スイッチ回路であって、そこにおいて、前記複数の高周波半導体スイッチ部の各々は、前記高周波端子間にドレイン電極及びソース電極が直列接続された複数の電界効果トランジスタからなり、また前記複数の高周波半導体スイッチ部における前記互いの分離はの容量素子によってなされ、さらにゲート電極に印加される直流電位と逆の関係にある直流電位が前記複数の電界効果トランジスタの両端に位置する前記ドレイン電極及び前記ソース電極の少なくとも一方に印加されることを特徴とする高周波スイッチ回路。
20 4. 高周波信号を入出力する第一乃至第三の高周波端子と、
25 前記第三の高周波端子と前記第一の高周波端子との間を開閉する第一の高周波

半導体スイッチ部と、

前記第三の高周波端子と前記第二の高周波端子との間を開閉する第二の高周波半導体スイッチ部と、

前記第一の高周波半導体スイッチ部の開閉動作を制御する第一の切り替え信号
5 端子と、

前記第二の高周波半導体スイッチ部の開閉動作を制御する第二の切り替え信号
端子と、

前記第三の高周波端子と前記第一及び第二の高周波半導体スイッチ部との間に接続されるとともに当該第一の高周波半導体スイッチ部と当該第二の高周波半導
10 体スイッチ部とを直流状態において分離する直流電位分離部と、

前記第二の切り替え信号端子と前記第一の高周波端子との間に接続されるとともに当該第二の切り替え信号端子に印加された直流電位を当該第一の高周波端子
に与える第一の電位伝達回路と、

前記第一の切り替え信号端子と前記第二の高周波端子との間に接続されるとともに当該第一の切り替え信号端子に印加された直流電位を当該第二の高周波端子
15 に与える第二の電位伝達回路と、

を備えた高周波スイッチ回路。

5. 高周波信号を入出力する第一乃至第四の高周波端子と、

前記第一の高周波端子と前記第二の高周波端子との間を開閉する第一の高周波
20 半導体スイッチ部と、

前記第二の高周波端子と前記第三の高周波端子との間を開閉する第二の高周波半導体スイッチ部と、

前記第三の高周波端子と前記第四の高周波端子との間を開閉する第三の高周波半導体スイッチ部と、

25 前記第四の高周波端子と前記第一の高周波端子との間を開閉する第四の高周

波半導体スイッチ部と、

前記第一及び第三の高周波半導体スイッチ部の開閉動作を制御する第一の切り替え信号端子と、

前記第二及び第四の高周波半導体スイッチ部の開閉動作を制御する第二の切り

5 替え信号端子と、

前記第一の高周波端子と前記第四及び第一の高周波半導体スイッチ部との間に接続されるとともに当該第四の高周波半導体スイッチ部と当該第一の高周波半導体スイッチ部とを直流状態において分離する第一の直流電位分離部と、

前記第二の高周波端子と前記第一及び第二の高周波半導体スイッチ部との間に接続されるとともに当該第一の高周波半導体スイッチ部と当該第二の高周波半導体スイッチ部とを直流状態において分離する第二の直流電位分離部と、

前記第三の高周波端子と前記第二及び第三の高周波半導体スイッチ部との間に接続されるとともに当該第二の高周波半導体スイッチ部と当該第三の高周波半導体スイッチ部とを直流状態において分離する第三の直流電位分離部と、

15 前記第四の高周波端子と前記第三及び第四の高周波半導体スイッチ部との間に接続されるとともに当該第三の高周波半導体スイッチ部と当該第四の高周波半導体スイッチ部とを直流状態において分離する第四の直流電位分離部と、

前記第二の切り替え信号端子と前記第一の高周波半導体スイッチ部の入力側及び出力側における少なくとも一方との間に接続されるとともに当該第二の切り替え信号端子に印加された直流電位を当該入力側及び出力側の少なくとも一方に与える第一の電位伝達回路と、

前記第一の切り替え信号端子と前記第二の高周波半導体スイッチ部の入力側及び出力側における少なくとも一方との間に接続されるとともに当該第一の切り替え信号端子に印加された直流電位を当該入力側及び出力側の少なくとも一方に与える第二の電位伝達回路と、

前記第二の切り替え信号端子と前記第三の高周波半導体スイッチ部の入力側及び出力側における少なくとも一方との間に接続されるとともに当該第二の切り替え信号端子に印加された直流電位を当該入力側及び出力側の少なくとも一方に与える第三の電位伝達回路と、

- 5 前記第一の切り替え信号端子と前記第四の高周波半導体スイッチ部の入力側及び出力側における少なくとも一方との間に接続されるとともに当該第一の切り替え信号端子に印加された直流電位を当該入力側及び出力側の少なくとも一方に与える第四の電位伝達回路と、
を備えた高周波スイッチ回路。

- 10 6. 請求項 4 および請求項 5 のいずれか一項に記載の高周波スイッチ回路であって、そこにおいて、前記直流電位分離部は、当該直流電位分離部が接続された前記高周波端子と当該直流電位分離部が接続された一方の前記高周波半導体スイッチ部との間、及び当該直流電位分離部が接続された前記高周波端子と当該直流電位分離部が接続された他方の前記高周波半導体スイッチ部との間、の少なく
15 とも一方に接続された容量素子からなることを特徴とする高周波スイッチ回路。

7. 請求項 4 および請求項 5 ならびに請求項 6 のいずれか一項に記載の高周波スイッチ回路であって、そこにおいて、前記直流電位分離部は、

- 当該直流電位分離部が接続された前記高周波端子と当該直流電位分離部が接続された一方の前記高周波半導体スイッチ部との間に、ドレイン電極及びソース電
20 極が接続された電界効果トランジスタと、

当該直流電位分離部が接続された前記高周波端子と当該直流電位分離部が接続された他方の前記高周波半導体スイッチ部との間に、ドレイン電極及びソース電
極が接続された電界効果トランジスタと、

- 前記各電界効果トランジスタのゲート電極と前記切り替え信号端子との間に接
25 続された抵抗素子と、

を備えることを特徴とする高周波スイッチ回路。

8. 請求項4および請求項5ならびに請求項6のいずれか一項に記載の高周波スイッチ回路であって、そこにおいて、前記直流電位分離部は、

当該直流電位分離部が接続された前記高周波端子と当該直流電位分離部が接続された一方の前記高周波半導体スイッチ部との間に、ドレイン電極及びソース電極が接続された電界効果トランジスタと、

当該直流電位分離部が接続された前記高周波端子と当該直流電位分離部が接続された他方の前記高周波半導体スイッチ部との間に、ドレイン電極及びソース電極が接続された電界効果トランジスタと、

10 前記各電界効果トランジスタのゲート電極と前記切り替え信号端子との間に接続された抵抗素子と、

前記各電界効果トランジスタの前記ドレイン電極と前記ソース電極との間に接続された抵抗素子と、

を備えたことを特徴とする高周波スイッチ回路。

15 9. 請求項4乃至8のいずれか一項に記載の高周波スイッチ回路であって、そこにおいて、前記高周波半導体スイッチ部は、当該高周波半導体スイッチ部によって開閉される前記高周波端子間にドレイン電極及びソース電極が接続された電界効果トランジスタと、この電界効果トランジスタのゲート電極と当該高周波半導体スイッチ部を制御する前記切り替え信号端子との間に接続された抵抗素子と、前記ドレイン電極と前記ソース電極との間に接続された抵抗素子とを備えたことを特徴とする高周波スイッチ回路。

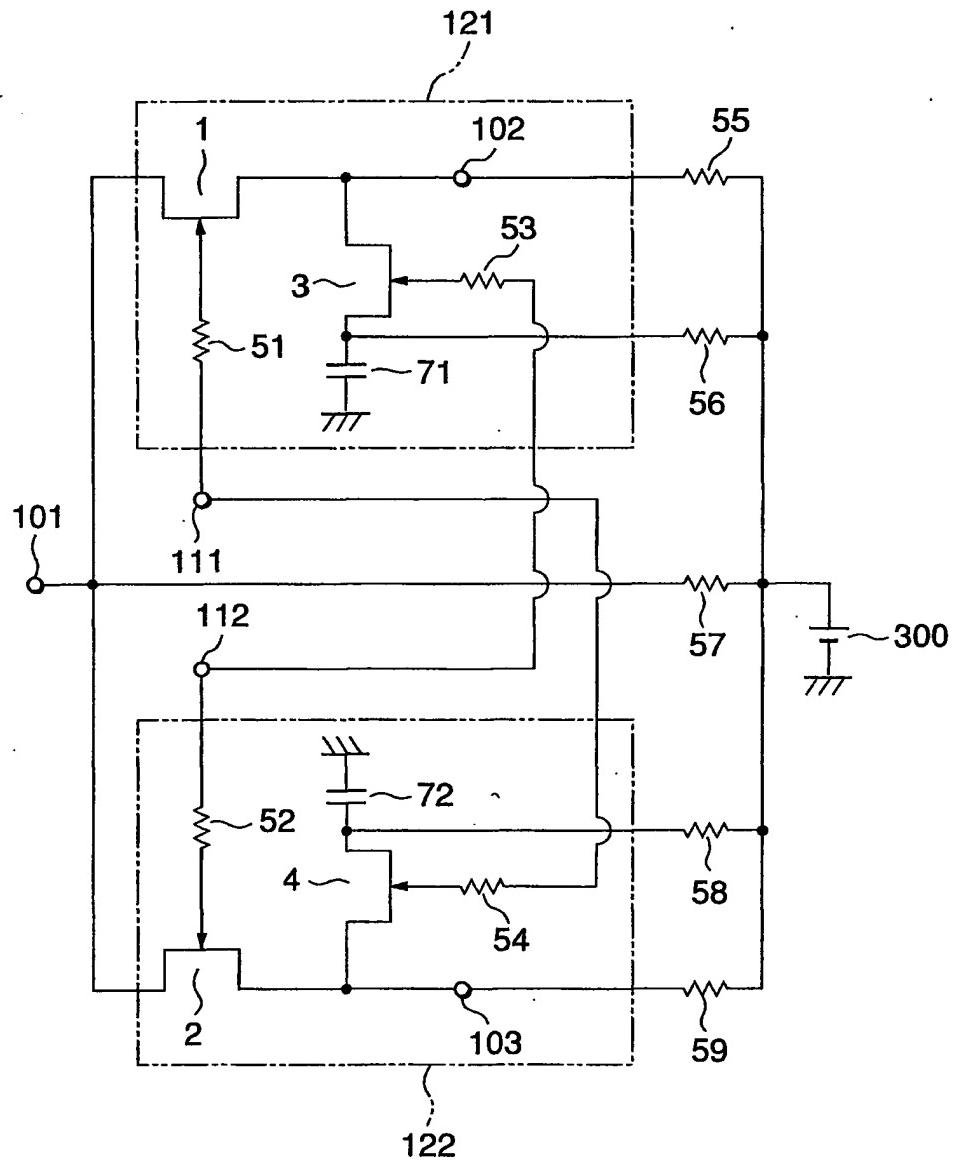
20 10. 請求項4乃至8のいずれか一項に記載の高周波スイッチ回路であって、そこにおいて、前記高周波半導体スイッチ部は、当該高周波半導体スイッチ部によって開閉される前記高周波端子間にドレイン電極及びソース電極が直列接続された複数の電界効果トランジスタと、これらの電界効果トランジスタのゲート電

極と当該高周波半導体スイッチ部を制御する前記切り替え信号端子との間にそれぞれ接続された複数の抵抗素子と、前記ドレイン電極と前記ソース電極との間にそれぞれ接続された複数の抵抗素子とを備えたことを特徴とする高周波スイッチ回路。

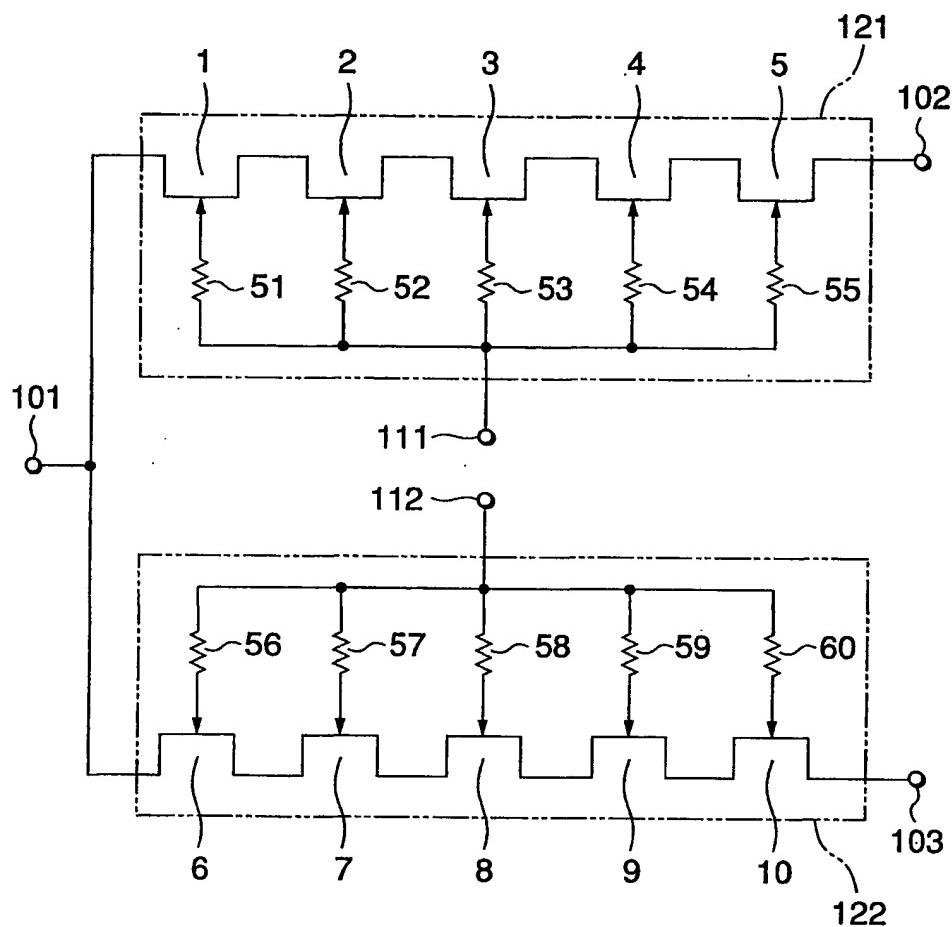
- 5 1 1. 請求項4乃至10のいずれか一項に記載の高周波スイッチ回路であって、そこにおいて、前記電位伝達回路は抵抗素子からなることを特徴とする高周波スイッチ回路。
- 1 2. 請求項4乃至10のいずれか一項に記載の高周波スイッチ回路であって、そこにおいて、前記電位伝達回路は直列接続された抵抗素子とインダクタ素子とからなることを特徴とする高周波スイッチ回路。
- 10 1 3. 請求項1乃至12のいずれか一項に記載の高周波スイッチ回路であって、そこにおいて、該高周波スイッチ回路は一つの半導体チップ内に集積化されることを特徴とする高周波スイッチ回路。

1/18

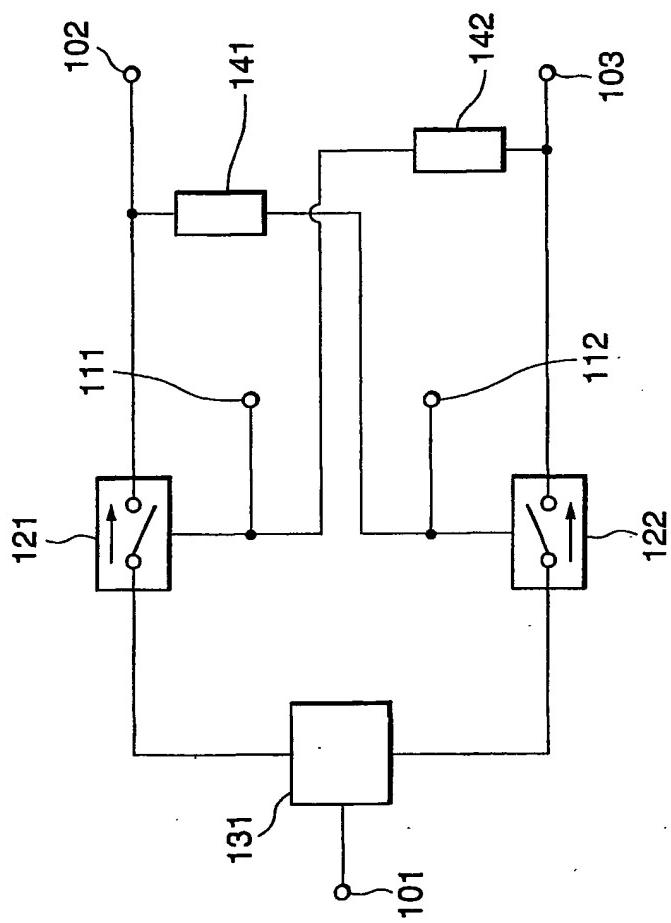
第1図



第2図

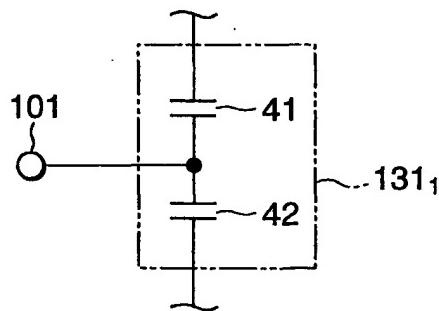


第3図

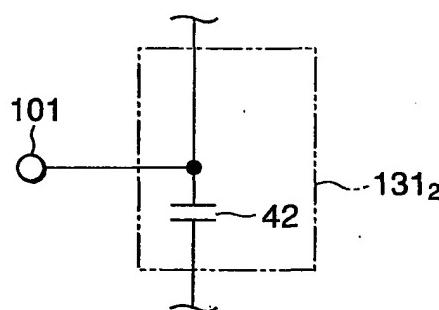


4/18

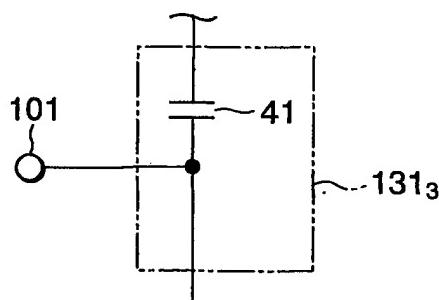
第4A図



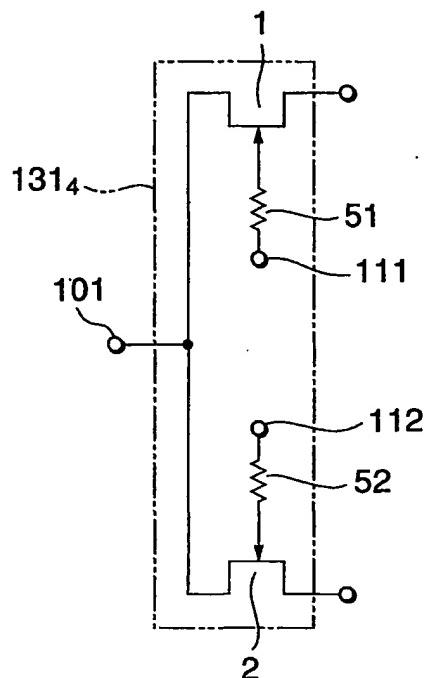
第4B図



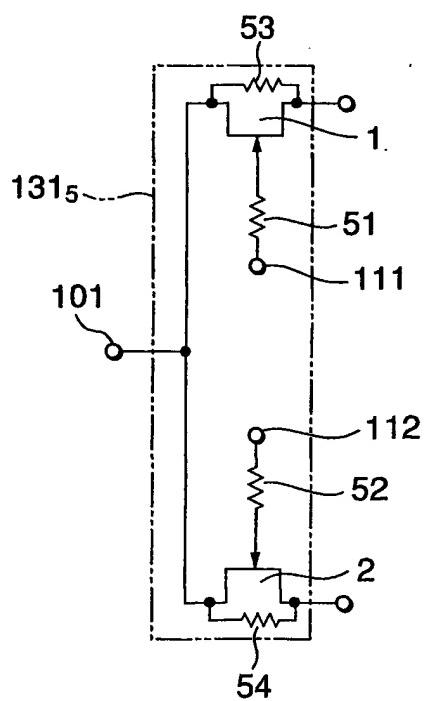
第4C図



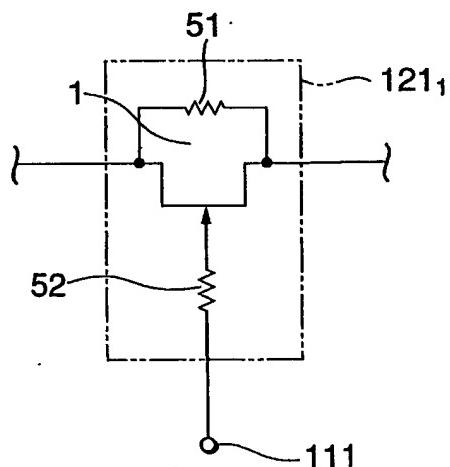
第4D図



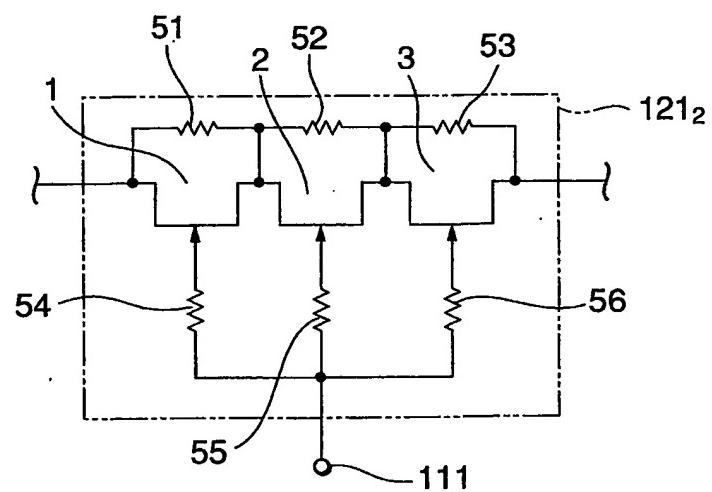
第4E図



第5A回

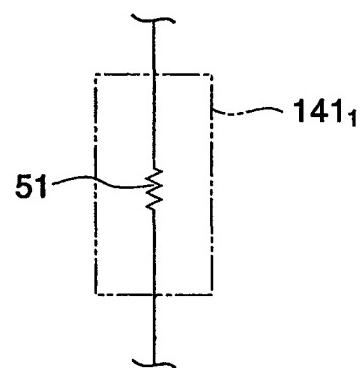


第5B図

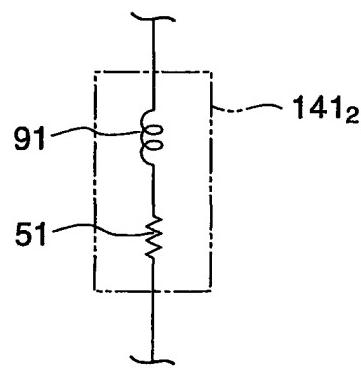


6/18

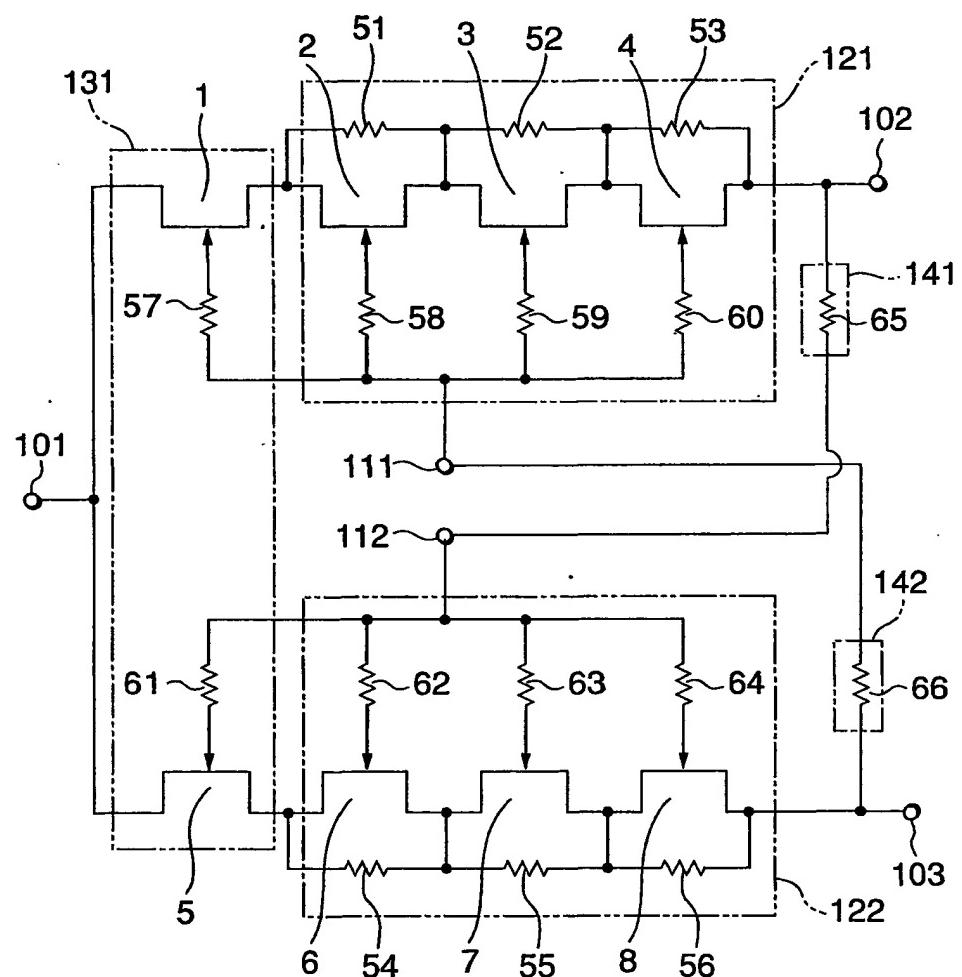
第6A図



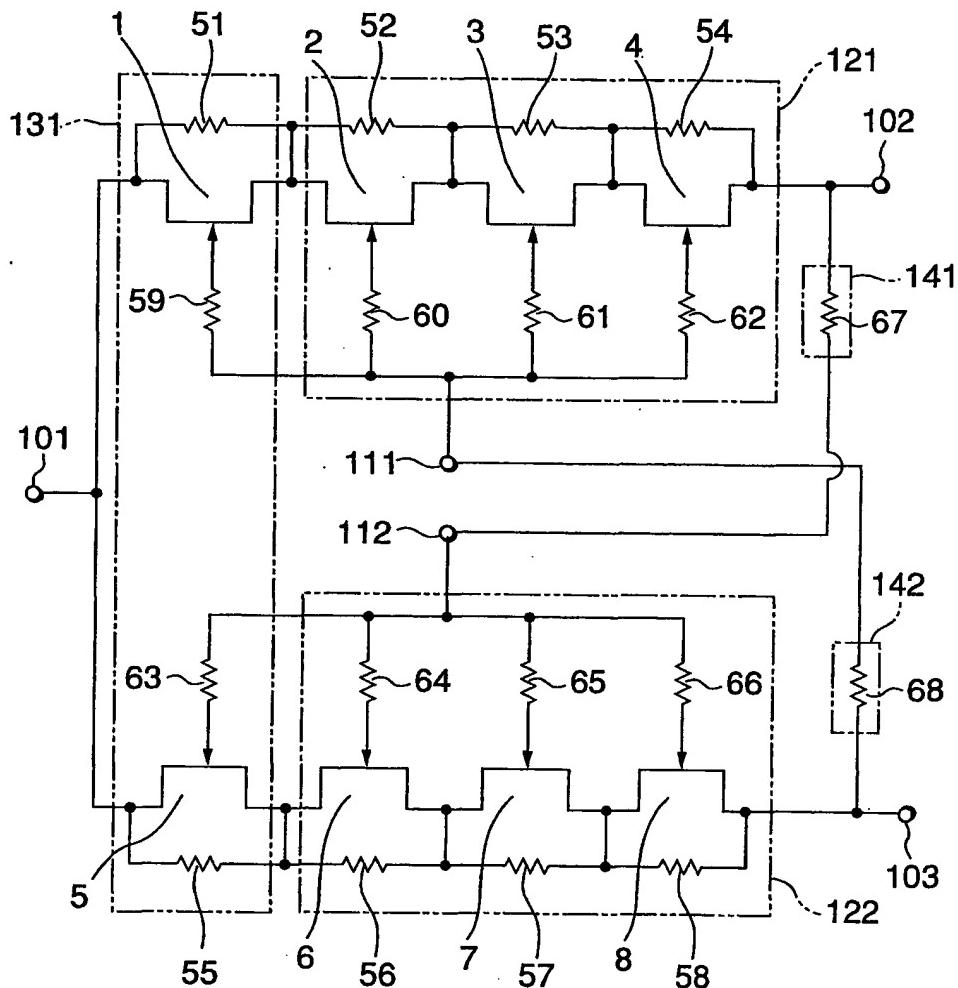
第6B図



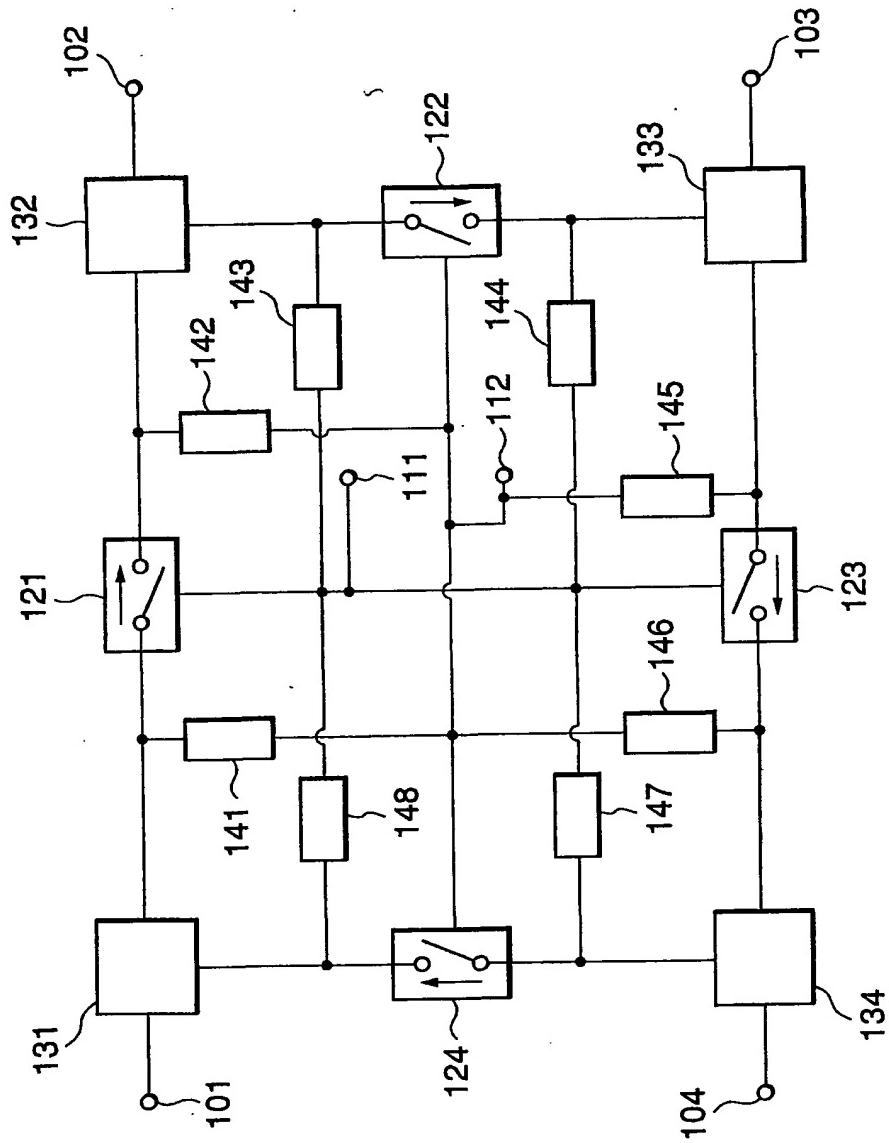
第7図



第8図

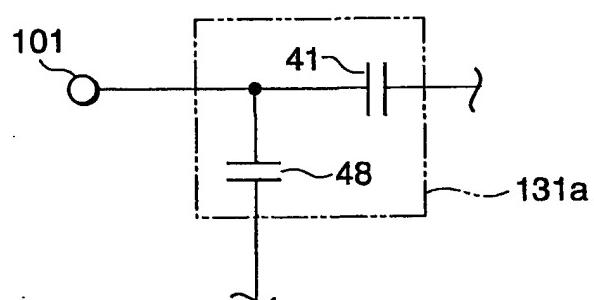


第9図

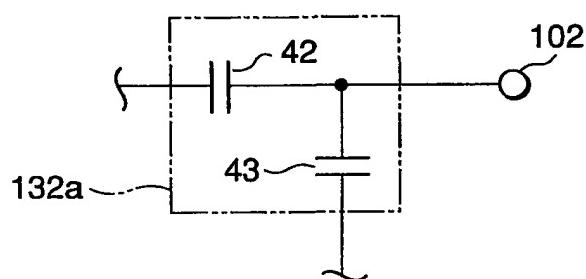


10/18

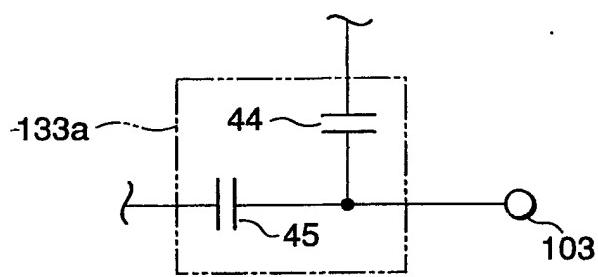
第10A図



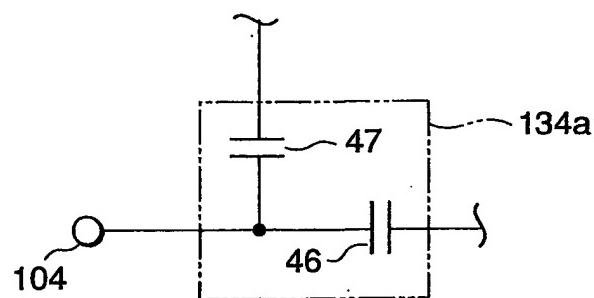
第10B図



第10C図

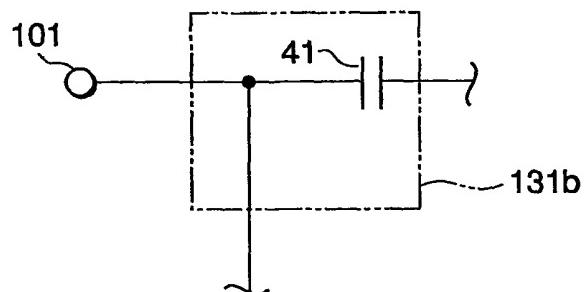


第10D図

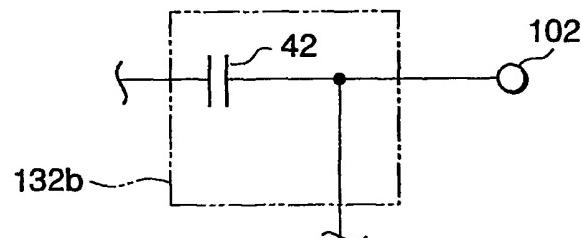


11/18

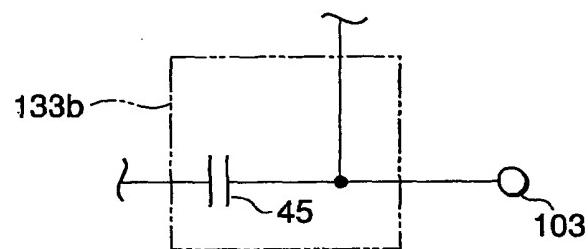
第11A図



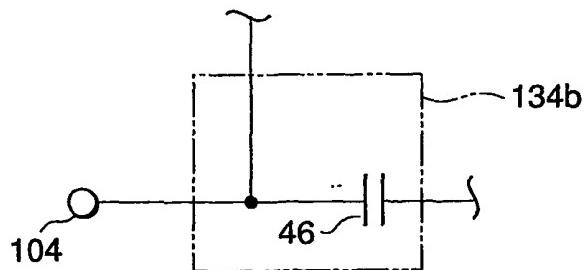
第11B図



第11C図

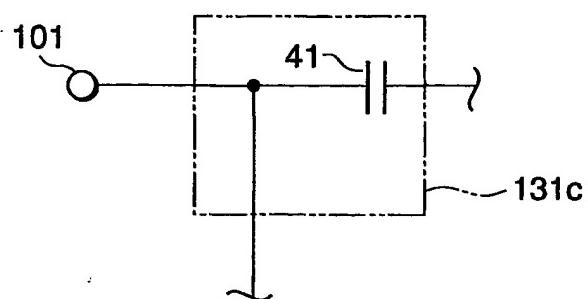


第11D図

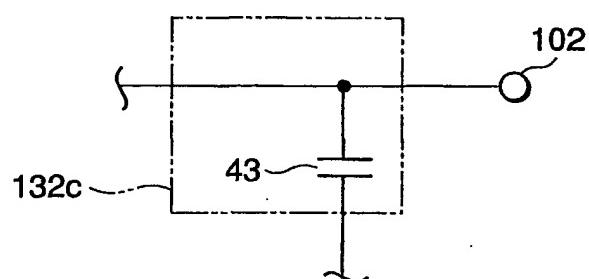


12/18

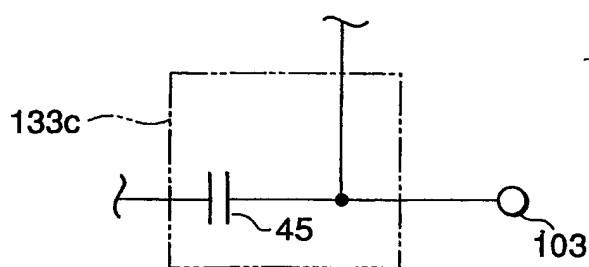
第12A図



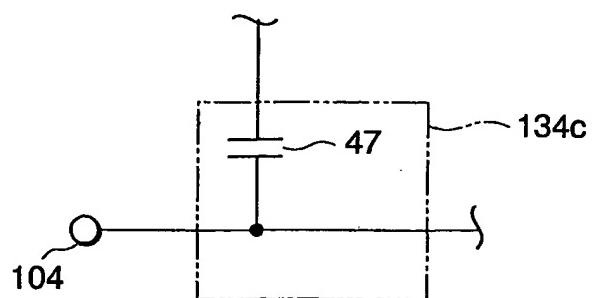
第12B図



第12C図

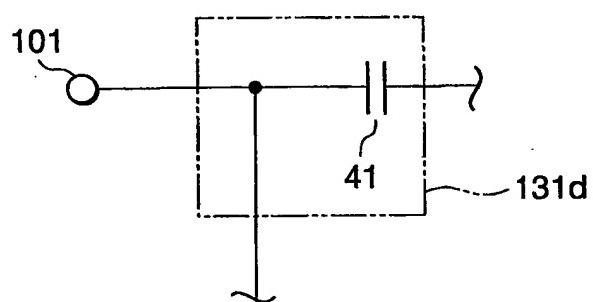


第12D図

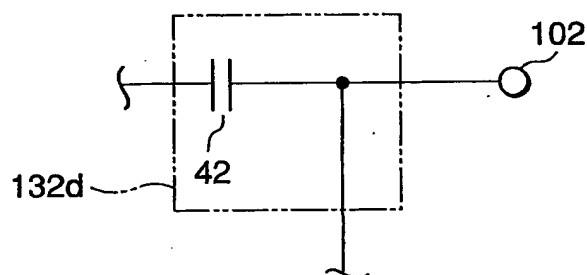


13/18

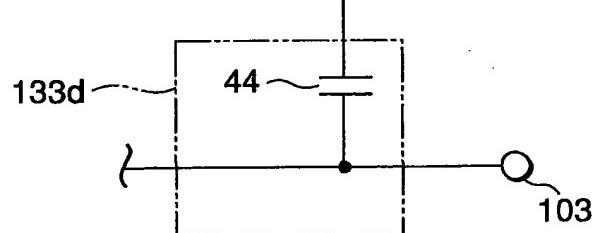
第13A図



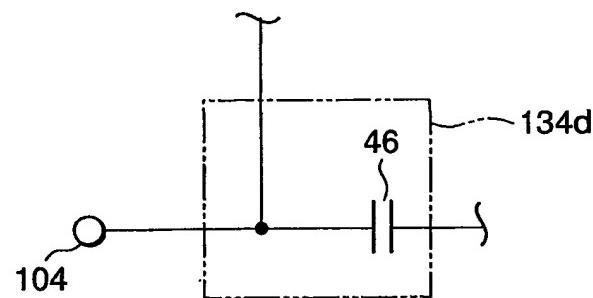
第13B図



第13C図

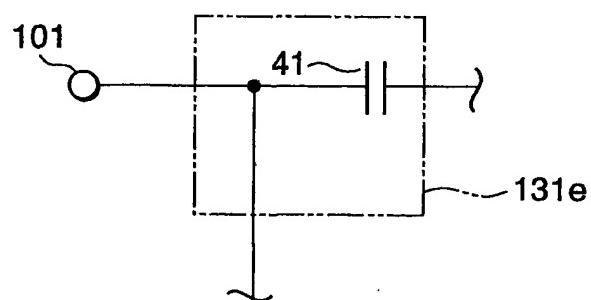


第13D図

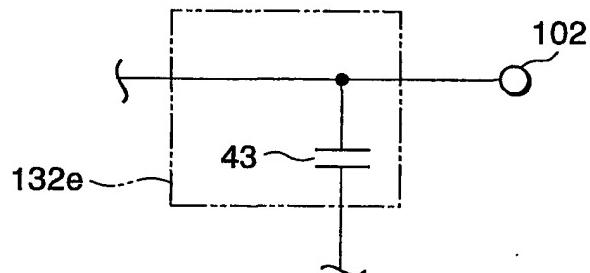


14/18

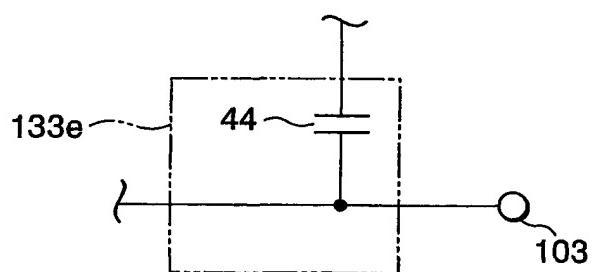
第14A図



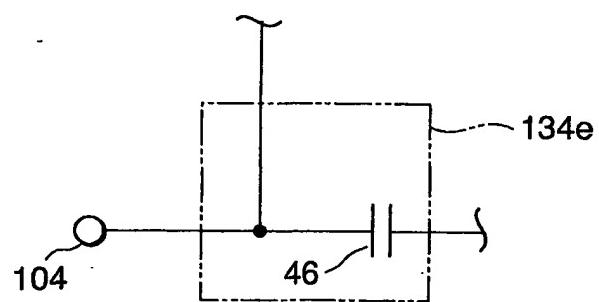
第14B図



第14C図

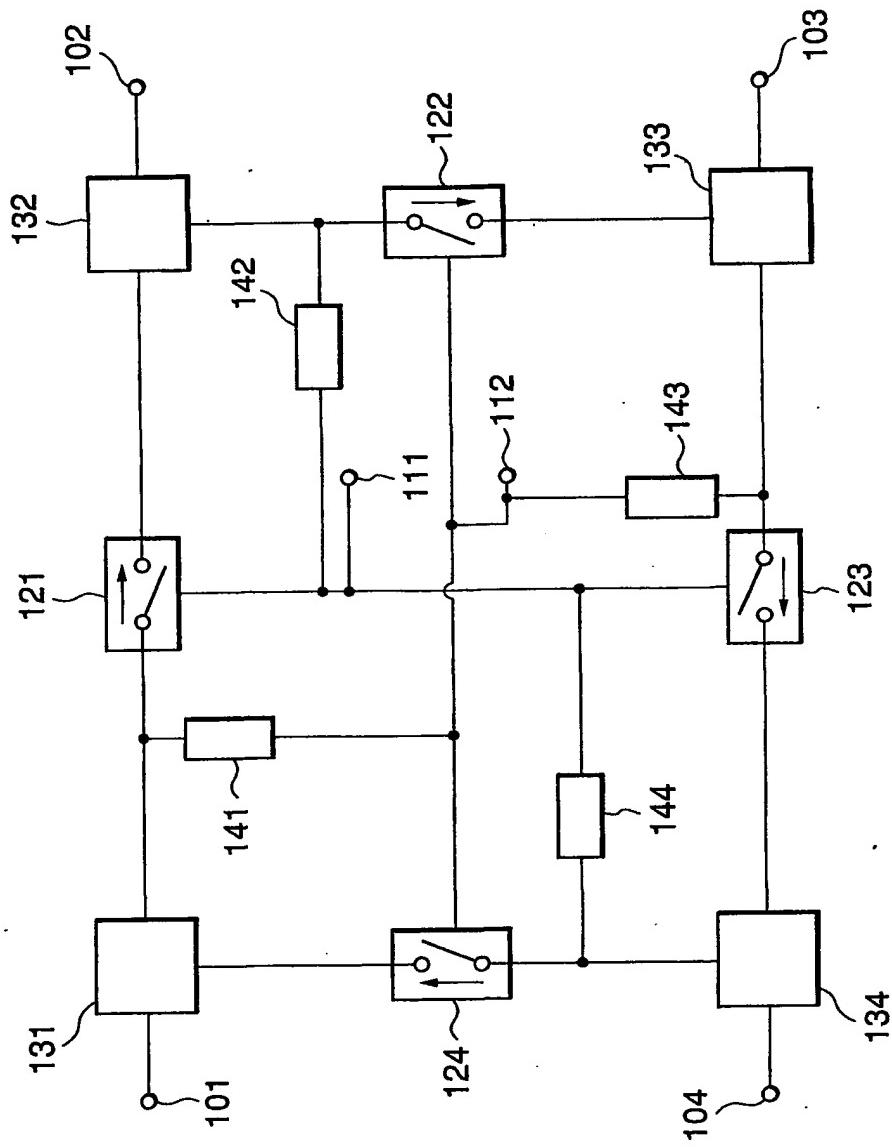


第14D図

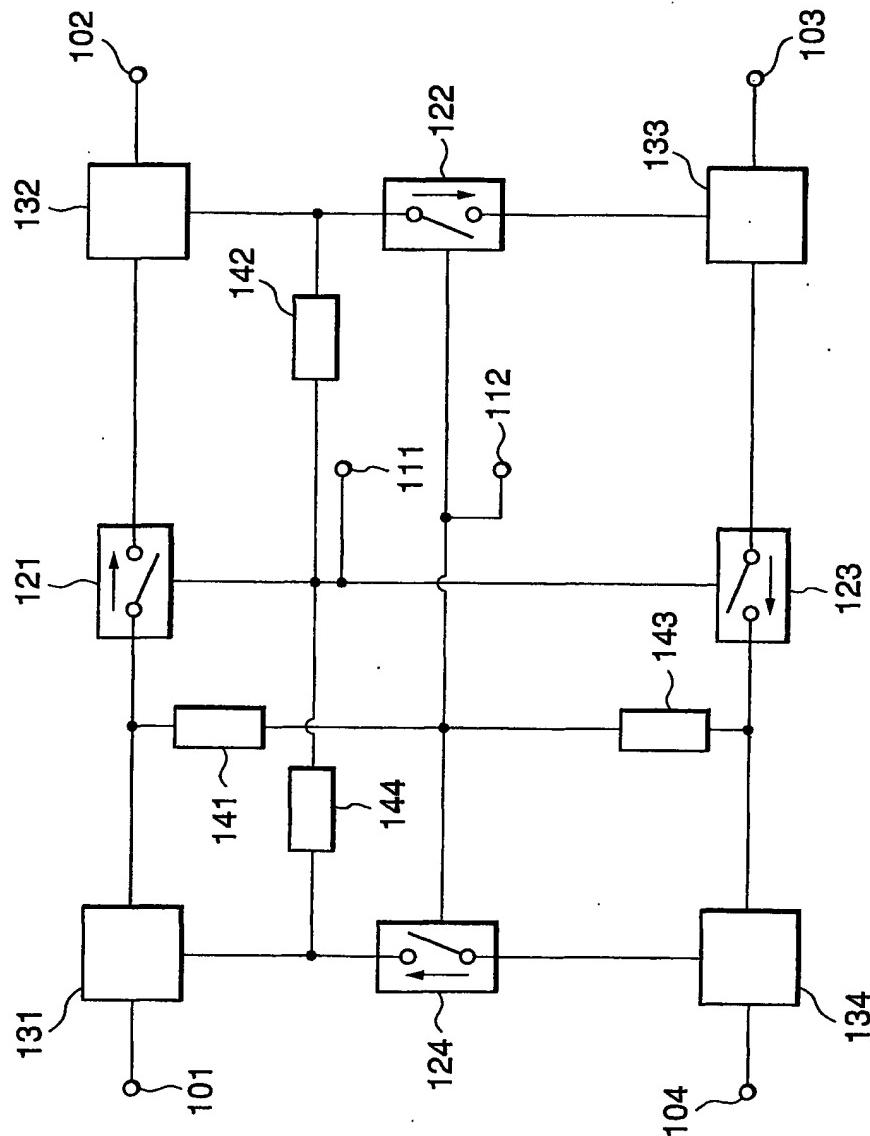


15/18

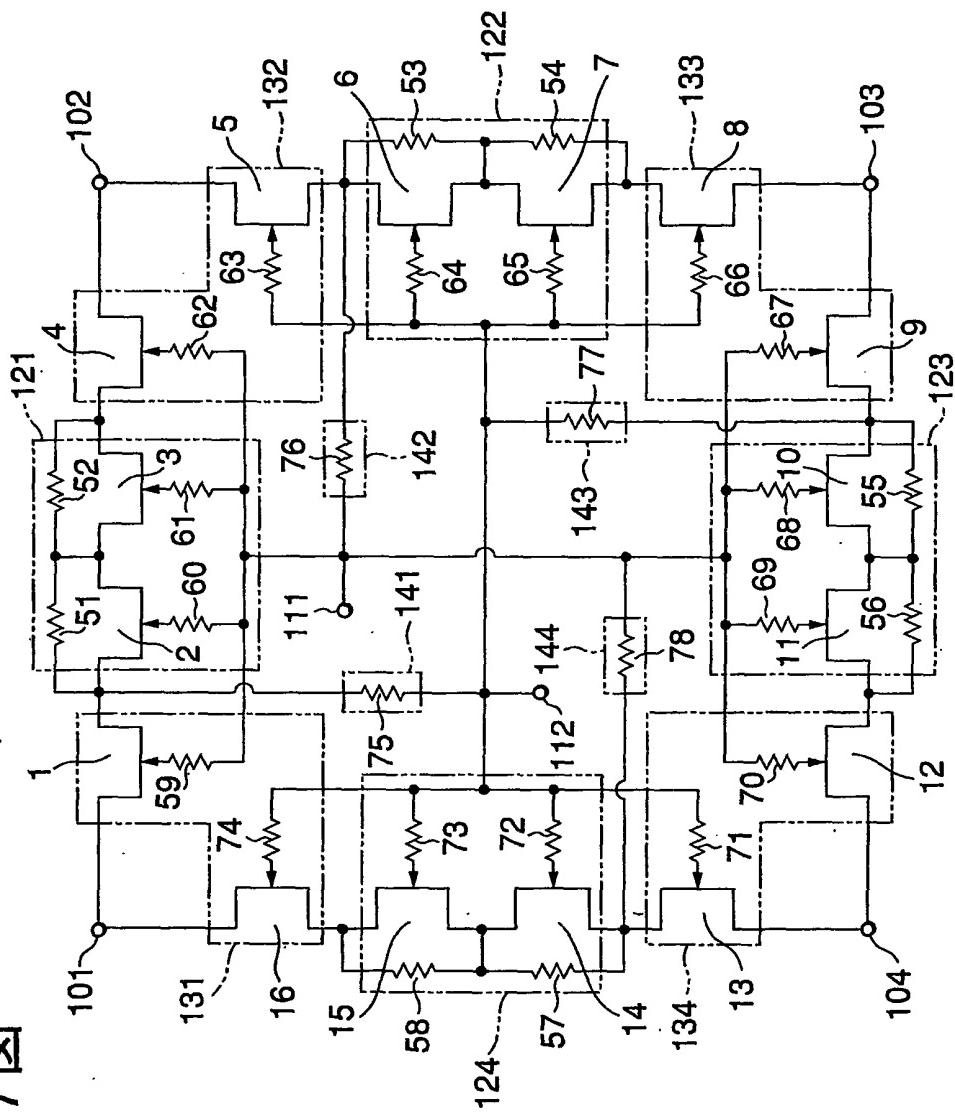
第15図



第16回

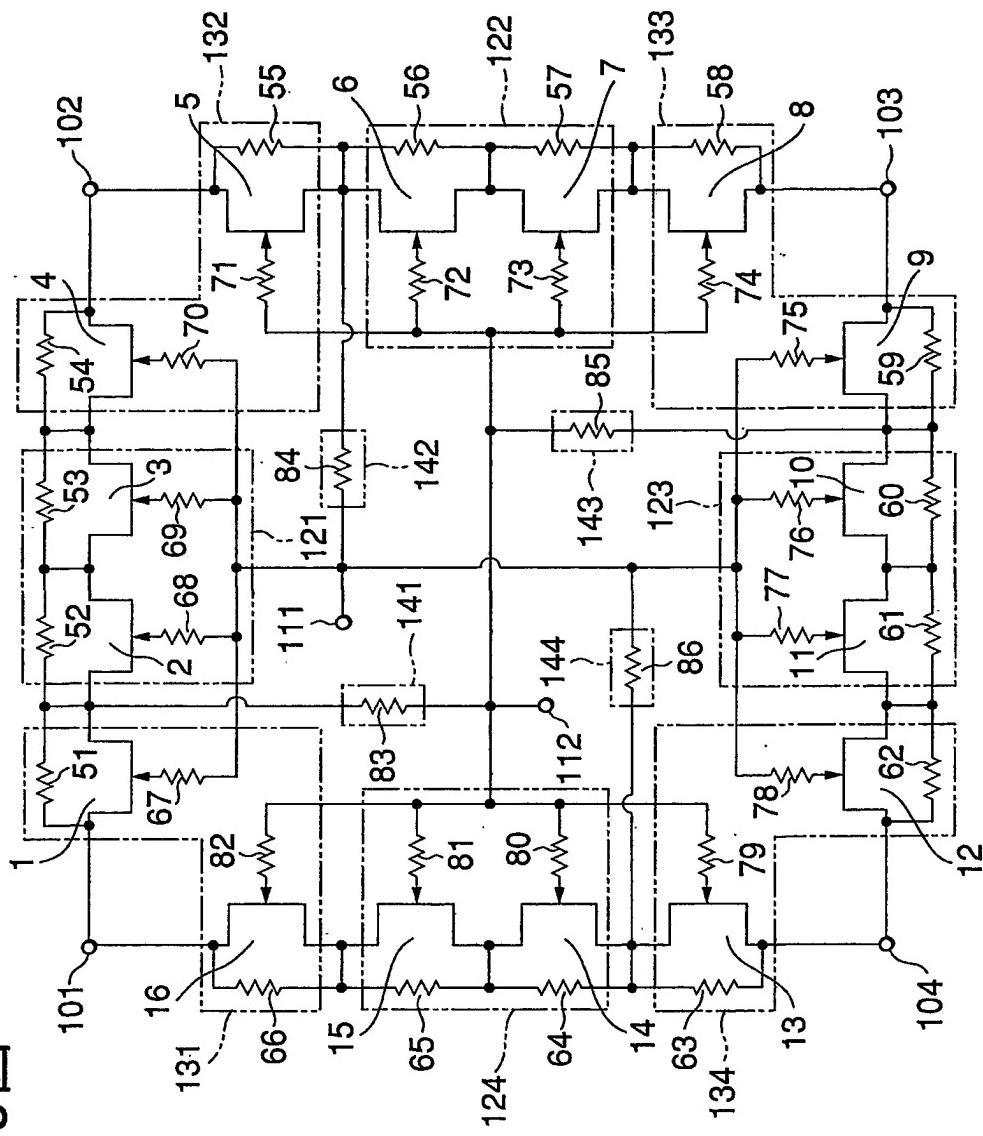


第17回



18/18

第18回



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00647

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01P1/15, H03K17/693

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01P1/15, H03K17/693

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002
 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 JOIS (JICST)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 10-242829, A (Sanyo Electric Co., Ltd.), 11 September, 1998 (11.09.98), Full text; all drawings & EP 903855 A1 & US 5945867 A1 Full text; all drawings	1-4, 6, 9-13 5, 7, 8
Y	JP, 9-55682, A (Sony Corp.), 25 February, 1997 (25.02.97), Full text; all drawings & US 5812939 A1	5
Y	JP, 10-335901, A (Nippon Telegraph And Telephone Corp.), 18 December, 1998 (18.12.98), Par. Nos. [0002] to [0026]; all drawings (Family: none)	7, 8
A	JP, 8-307232, A (Japan Radio Co., Ltd.), 22 November, 1996 (22.11.96), Full text; all drawings (Family: none)	1-13

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search 04 April, 2002 (04.04.02)	Date of mailing of the international search report 16 April, 2002 (16.04.02)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00647

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-311007, A (Sanyo Electric Co., Ltd.), 04 November, 1994 (04.11.94), Full text; all drawings (Family: none)	1-13
A	JP, 6-152361, A (Sanyo Electric Co., Ltd.), 31 May, 1994 (31.05.94), Full text; all drawings (Family: none)	1-13
A	JP, 9-181588, A (NEC Corp.), 11 July, 1997 (11.07.97), Full text; all drawings & EP 782267 A2	1-13
A	JP, 8-204530, A (Sony Corp.), 09 August, 1996 (09.08.96), Full text; all drawings & EP 723338 A2 & US 5825227 A1 & US 5969560 A2	1-13

国際調査報告

国際出願番号 PCT/JP02/00647

A. 発明の属する分野の分類（国際特許分類（IPC））
Int.Cl' H01P1/15, H03K17/693

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int.Cl' H01P1/15, H03K17/693

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996

日本国公開実用新案公報 1971-2002

日本国登録実用新案公報 1994-2002

日本国実用新案登録公報 1996-2002

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）
JOIS (JICST)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 10-242829 A (三洋電機株式会社) 1998. 09. 11, 全文, 全図 & EP 903855 A 1 & US 5945867 A1 全文, 全図	1-4, 6, 9-13
Y	J P 9-55682 A (ソニー株式会社) 1997. 02. 25, 全文, 全図 & US 5812939 A1	5, 7, 8
Y		5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 - 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 - 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 - 「O」口頭による開示、使用、展示等に言及する文献
 - 「P」国際出願日前で、かつ優先権の主張の基礎となる出願
- の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 04.04.02	国際調査報告の発送日 16.04.02
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 新川 圭二 電話番号 03-3581-1101 内線 6707

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 10-335901 A (日本電信電話株式会社) 1998. 12. 18, 段落番号【0002】-【0026】，全図 (ファミリーなし)	7,8
A	JP 8-307232 A (日本無線株式会社) 1996. 11. 22, 全文, 全図 (ファミリーなし)	1-13
A	JP 6-311007 A (三洋電機株式会社) 1994. 11. 04, 全文, 全図 (ファミリーなし)	1-13
A	JP 6-152361 A (三洋電機株式会社) 1994. 05. 31, 全文, 全図 (ファミリーなし)	1-13
A	JP 9-181588 A (日本電気株式会社) 1997. 07. 11, 全文, 全図 & EP 782267 A 2	1-13
A	JP 8-204530 A (ソニー株式会社) 1996. 08. 09, 全文, 全図 & EP 723338 A 2 & US 5825227 A1 & US 5969560 A2	1-13

